

Electrónica Digital  
Departamento de Electrónica

# ***Compuertas lógicas*** ***Álgebra de Boole***

Facultad de Ingeniería  
Bioingeniería  
Universidad Nacional de Entre Ríos

# Temario del día

- Compuertas lógicas
  - Formas comerciales de compuertas lógicas
- Funciones lógicas: representación
- Tecnología: principales familias lógicas; los retardos de propagación
- Álgebra de Boole
  - *Análisis* de circuitos combinacionales
  - *Síntesis* de circuitos combinacionales (primera parte)

## Sistema binario (natural) de 4 bits

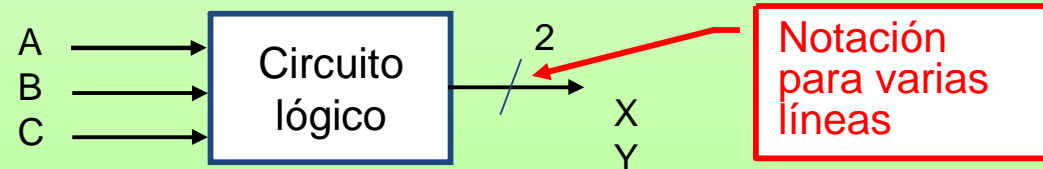
	$2^3$	$2^2$	$2^1$	$2^0$
P	8	4	2	1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

# Funciones lógicas y tablas de verdad

## Función lógica

Expresión formal del comportamiento de un circuito lógico / digital

- $X = f(A, B, C)$  y  $Y = f(A, B, C)$
- Permite determinar la salida del circuito en función de sus entradas



## Tabla de verdad

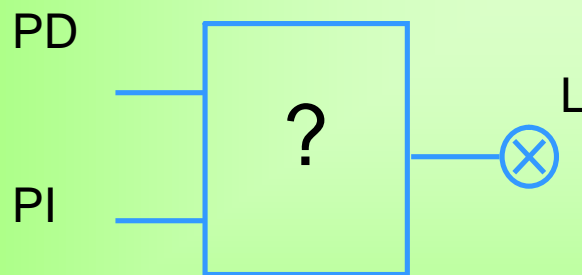
Forma *tabular* de expresar una función lógica

- Columnas → entradas / salidas
- Filas → combinación posible de entradas  
→ salida de cada una

entradas			salida/s	
C	B	A	X	Y
0	0	0		
0	0	1		
0	1	0		
...	...	...		
1	1	1		

## Ejemplo #1: Control de la luz interior de un auto

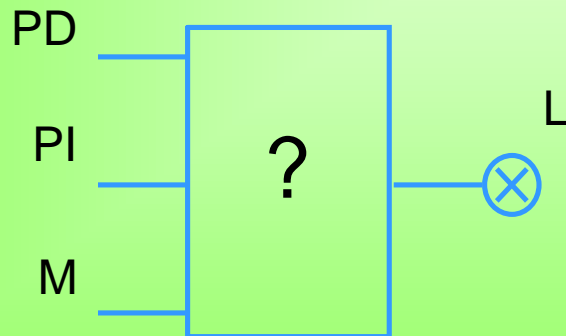
- **Entradas: 2** (sensores de PD y PI)
  - Asignación de estados: 0 lógico  $\equiv$  puerta cerrada  
1 lógico  $\equiv$  puerta abierta
- **Salida: 1** (actuador, L)
  - Asignación de estados: 0  $\equiv$  luz apagada  
1  $\equiv$  luz encendida (*salida activa por nivel alto*)



PD	PI	L
0	0	0
0	1	1
1	0	1
1	1	1

## Ejemplo #2: Luz interior de un auto, con encendido manual

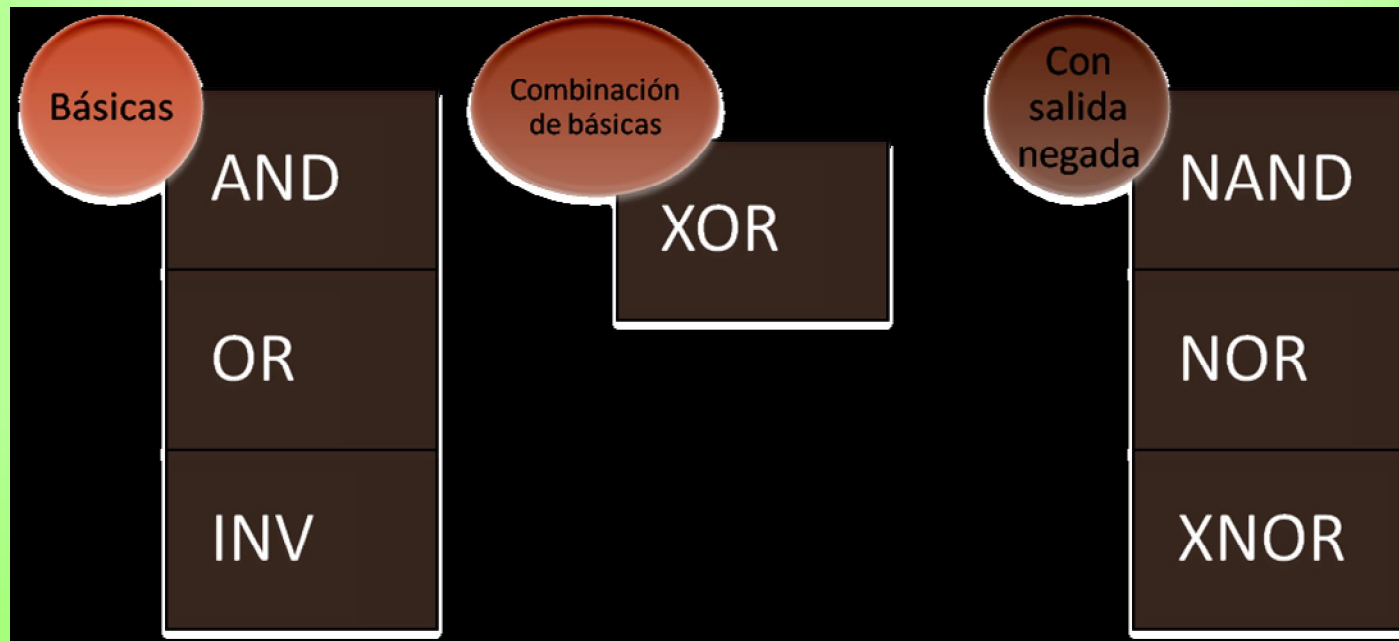
- **Entradas: 3** (sensores de **M**, **PD** y **PI**)
  - Asignación de estados:
    - 0 lógico  $\equiv$  puerta cerrada
    - 1 lógico  $\equiv$  puerta abierta
    - 0 lógico  $\equiv$  automático
    - 1 lógico  $\equiv$  manual
- **Salida: 1** (actuador, **L**)
  - Asignación de estados:
    - 0  $\equiv$  luz apagada
    - 1  $\equiv$  luz encendida (*activa por alto*)



M	PD	PI	L
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

# Compuertas lógicas

Circuito electrónico que implementa una función lógica elemental



## Compuerta **AND**

- Producto lógico (“Y”)
- Número mínimo de entradas: 2

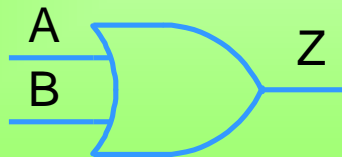


notación:  $Z = A \cdot B$

A	B	Z
0	0	0
0	1	0
1	0	0
1	1	1

## Compuerta **OR**

- Suma lógica (“O”)
- Número mínimo de entradas: 2



notación:  $Z = A + B$

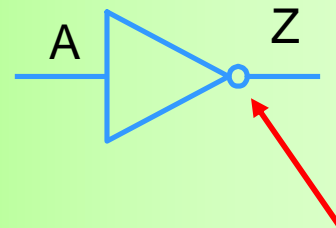
A	B	Z
0	0	0
0	1	1
1	0	1
1	1	1



## Compuerta **INV** (o NOT)

- Inversión o Negación o complemento lógico
- Número de entradas: 1

A	Z
0	1
1	0



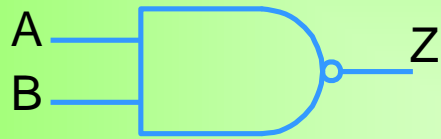
notación:  $Z = A/$

notación:  $Z = \overline{A}$

notación:  $Z = A'$

## Compuerta NAND

- AND negada
- Número de entradas: 2 (ampliable)

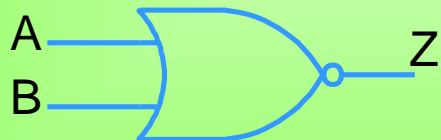


notación:  $Z = (A \cdot B)'$

A	B	Z
0	0	1
0	1	1
1	0	1
1	1	0

## Compuerta NOR

- OR negada
- Número de entradas: 2 (ampliable)

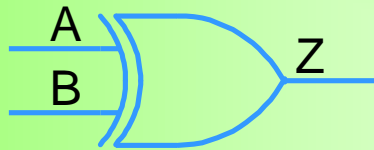


notación:  $Z = (A + B)'$

A	B	Z
0	0	1
0	1	0
1	0	0
1	1	0

## Compuerta **XOR** o **EX-OR**

- OR exclusiva
- Número de entradas: 2 (no ampliable)
- Operación:  $Z = A'.B + A.B'$

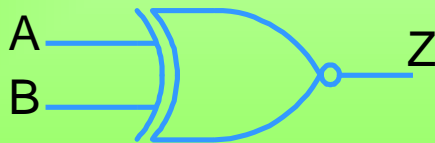


notación:  $Z = A \oplus B$

A	B	Z
0	0	0
0	1	1
1	0	1
1	1	0

## Compuerta **XNOR** o **EX-NOR**

- XOR invertida o negada
- Número de entradas: 2 (no ampliable)
- Operación:  $Z = A'.B' + A.B$

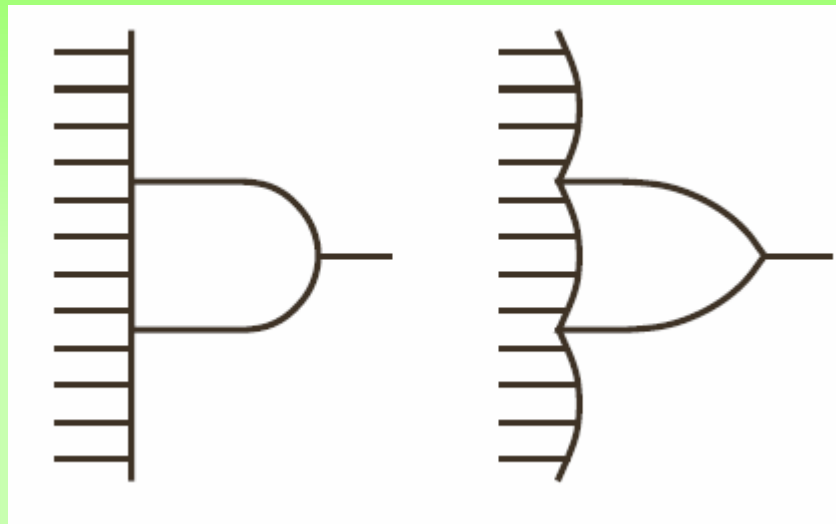


notación:  $Z = (A \oplus B)'$

A	B	Z
0	0	1
0	1	0
1	0	0
1	1	1

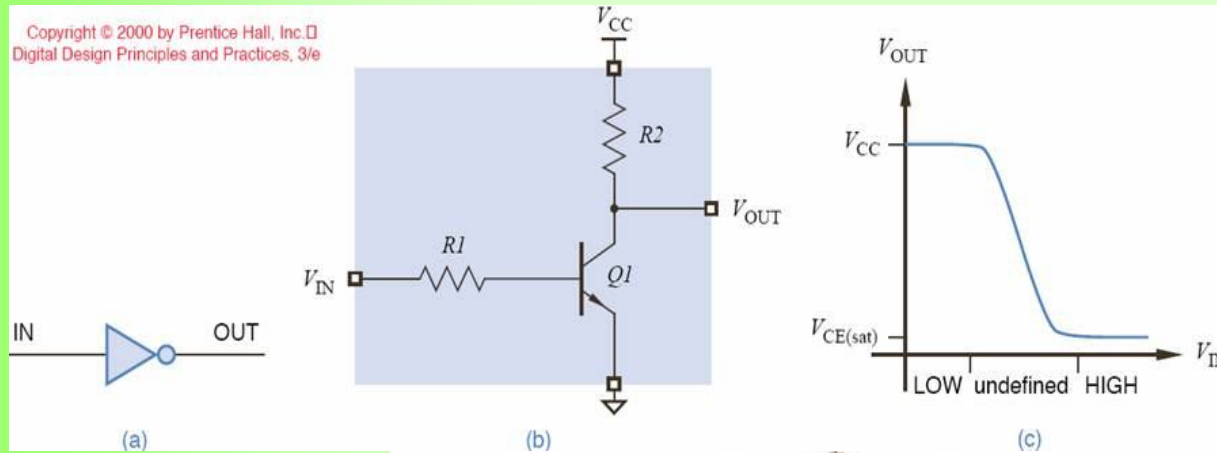
*Compuerta de coincidencia*

## Símbolos de entradas expandidas



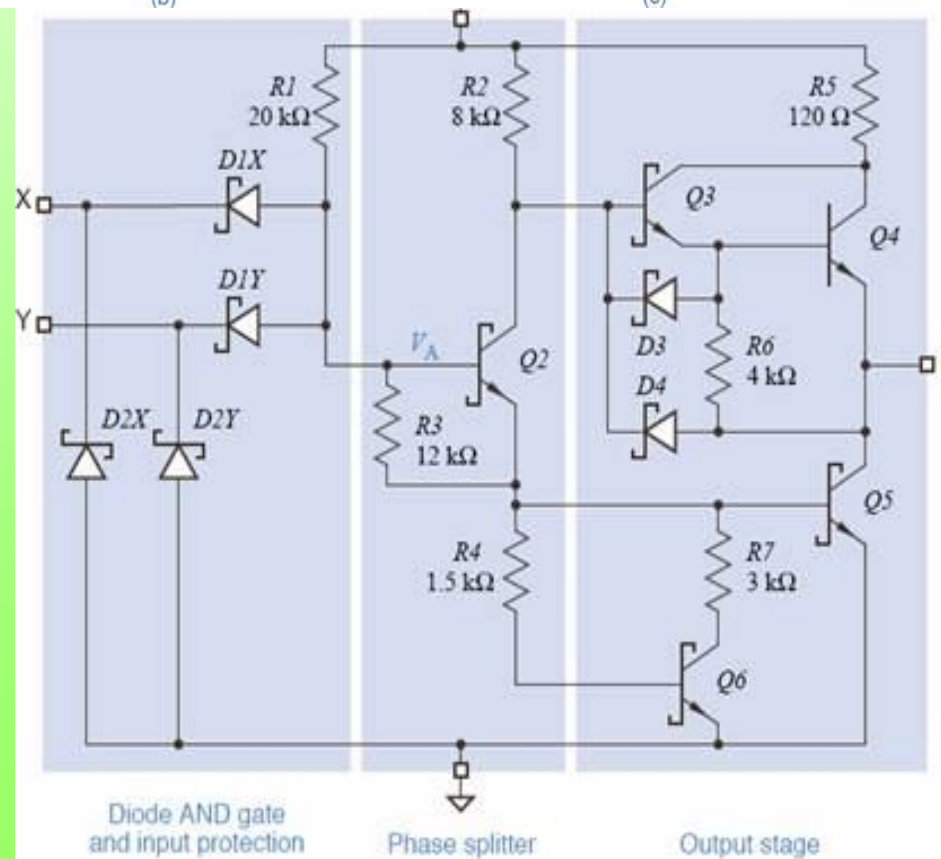
# Circuitos internos

Tecnología



Inversor  
(elemental)

NAND LS-TTL  
(2 entradas)



# Las familias lógicas

## TTL (*Transistor-Transistor Logic*)

- Transistores bipolares (BJT)
  - Alta velocidad
  - Alto consumo
  - Baja inmunidad al ruido

## CMOS (*Complementary Metal Oxide Semiconductor*)

- Transistores MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*)
  - Baja velocidad (relativa)
  - Bajo consumo
  - Alta escala de integración
  - Alta inmunidad al ruido

## Serie CMOS 4000/4500

Cuádruples compuertas de 2 entradas

- 4001: NOR
- 4011: NAND
- 4071: OR
- 4081: AND
- 4030 / 70: XOR
- Séxtuple inversor
  - 4069
- Especiales: entradas con histéresis (tipo *Schmitt Trigger*)
  - 4584: séxtuple inversor con ST
  - 40106: séxtuple inversor con ST
  - 4093: cuádruple NAND 2 entradas con ST

## NOR GATE

4000B-DUAL 3 INPUT PLUS INVERTER  
 4001B-QUAD 2 INPUT  
 4002B-DUAL 4 INPUT  
 4025B TRIPLE 3 INPUT

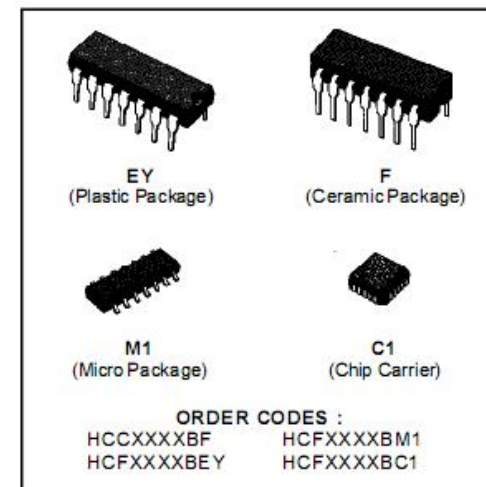
- PROPAGATION DELAY TIME = 60 ns (typ.) AT  $C_L = 50$  pF,  $V_{DD} = 10$  V
- BUFFERED INPUTS AND OUTPUTS
- STANDARDIZED SYMMETRICAL OUTPUT CHARACTERISTICS
- QUIESCENT CURRENT SPECIFIED TO 20 V FOR HCC DEVICE
- 5V, 10V AND 15V PARAMETRIC RATINGS
- INPUT CURRENT OF 100nA AT 18V AND 25 °C FOR HCC DEVICE
- 100% TESTED FOR QUIESCENT CURRENT
- MEETS ALL REQUIREMENTS OF JEDEC TENTATIVE STANDARD N. 13A, "STANDARD SPECIFICATIONS FOR DESCRIPTION OF B SERIES CMOS DEVICES"

### DESCRIPTION

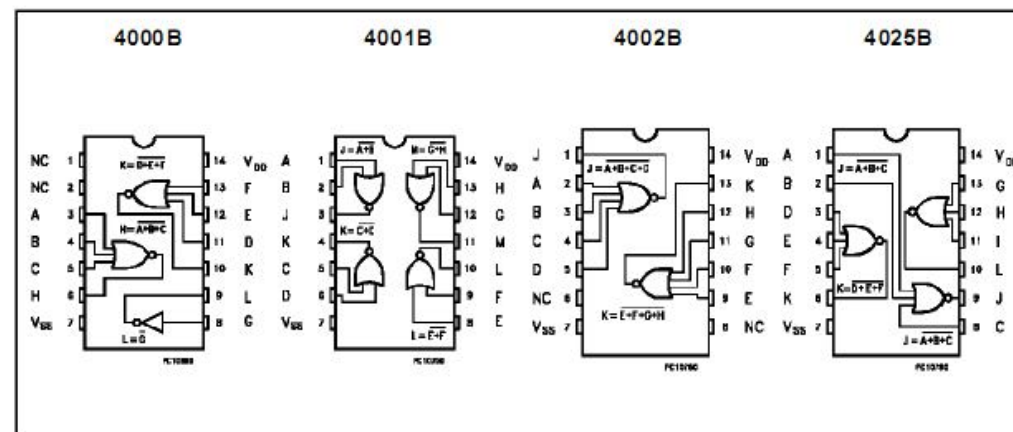
The HCC4000B, HCC4001B, HCC4002B and HCC4025B (extended temperature range) and HCF4000B, HCF4001B, HCF4002B and HCF4025B (intermediate temperature range) are monolithic integrated circuit, available in 14-lead dual in line plastic or ceramic package and plastic

micropackage.

The HCC/HCF4000B, HCC/HCF4001B, HCC/HCF4002B and HCC/HCF4025B nor gate provide the system designer with direct implementation of the nor function and supplement the existing family of COS/MOS gates. All inputs and outputs are buffered.



### PIN CONNECTIONS





# STATIC ELECTRICAL CHARACTERISTICS (over recommended operating conditions)

Formas  
comerciales

Symbol		Parameter	Test Conditions				T <sub>LOW</sub> *					T <sub>HIGH</sub> *		Unit		
			V <sub>I</sub> (V)	V <sub>O</sub> (V)	I <sub>o</sub>   (μA)	V <sub>DD</sub> (V)										
			Min.	Max.	Min.	Max.										
I <sub>L</sub>	Quiescent Current	HCC Types	0/5			5		0.25		0.01	0.25		7.5	μA		
			0/10			10		0.5		0.01	0.5		15			
			0/15			15		1		0.01	1		30			
			0/20			20		5		0.02	5		150			
		HCF Types	0/5			5		1		0.01	1		7.5			
			0/10			10		2		0.01	2		15			
			0/15			15		4		0.01	4		30			
			0/5		< 1	5	4.95					4.95				
			0/10		< 1	10	9.95					9.95				
			0/15		< 1	15	14.95					14.95				
			5/0		< 1	5		0.05					0.05			
			10/0		< 1	10		0.05					0.05			
			15/0		< 1	15		0.05					0.05			
				0.5/4.5	< 1	5	3.5						3.5			
				1/9	< 1	10	7						7			
				1.5/13.5	< 1	15	11						11			
				4.5/0.5	< 1	5		1.5					1.5			
				9/1	< 1	10		3					3			
				13.5/1.5	< 1	15		4					4			
						0/5	2.5					5	-2			
0/5	4.6					5	-0.64		-0.36							
0/10	9.5					10	-1.6		-1.3	-2.6		-0.9				
0/15	13.5					15	-4.2		-3.4	-6.8		-2.4				
HCF Types	0/5	2.5					5	-1.53		-1.36	-3.2		-1.1			
	0/5	4.6					5	-0.52		-0.44	-1		-0.36			
	0/10	9.5					10	-1.3		-1.1	-2.6		-0.9			
	0/15	13.5					15	-3.6		-3.0	-6.8		-2.4			
HCC Types	0/5	0.4					5	0.64					0.36			
	0/10	0.5					10	1.6					0.9			
	0/15	1.5					15	4.2					3.4	6.8		2.4
HCF Types	0/5	0.4					5	0.52		0.44	1		0.36			
	0/10	0.5					10	1.3		1.1	2.6		0.9			
	0/15	1.5					15	3.6		3.0	6.8		2.4			
HCC Types	0/18	Any Input				18		±0.1					±1			
	HCF Types			0/15	15		±0.3					±10 <sup>-5</sup>	±0.3		±1	
C <sub>I</sub>	Input Capacitance			Any Input					5	7.5			pF			

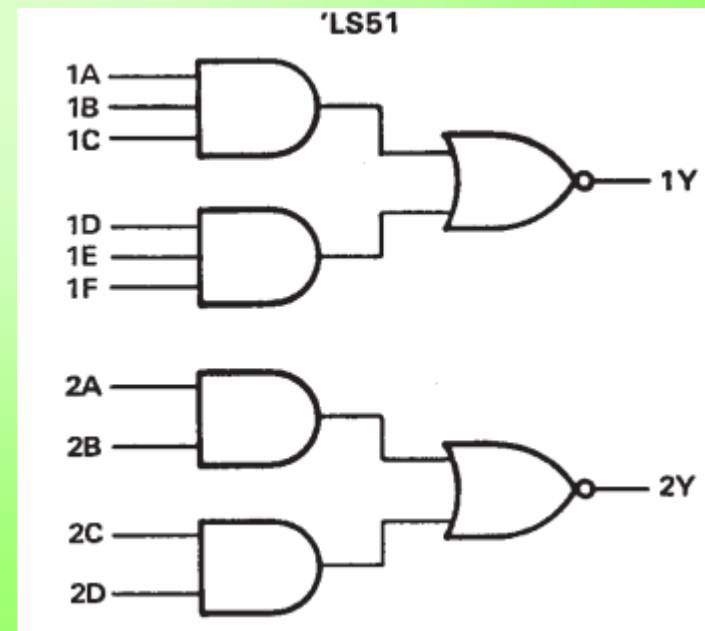
## Series TTL

Compuertas de hasta 8 entradas

- **74LS04**: séxtuple INV
- **74LS08**: cuádruple AND de 2 entradas
- **74LS21**: doble AND de 4 entradas
- **74LS30**: NAND de 8 entradas

Compuertas *compuestas*

- **74LS51**: AND-OR-INV



SN5404, SN54LS04, SN54S04,  
SN7404, SN74LS04, SN74S04  
HEX INVERTERS

SDLS029C - DECEMBER 1983 - REVISED JANUARY 2004

recommended operating conditions (see Note 3)

		SN5404			SN7404			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V <sub>CC</sub>	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
T <sub>A</sub>	Operating free-air temperature	-55		125	0		70	°C

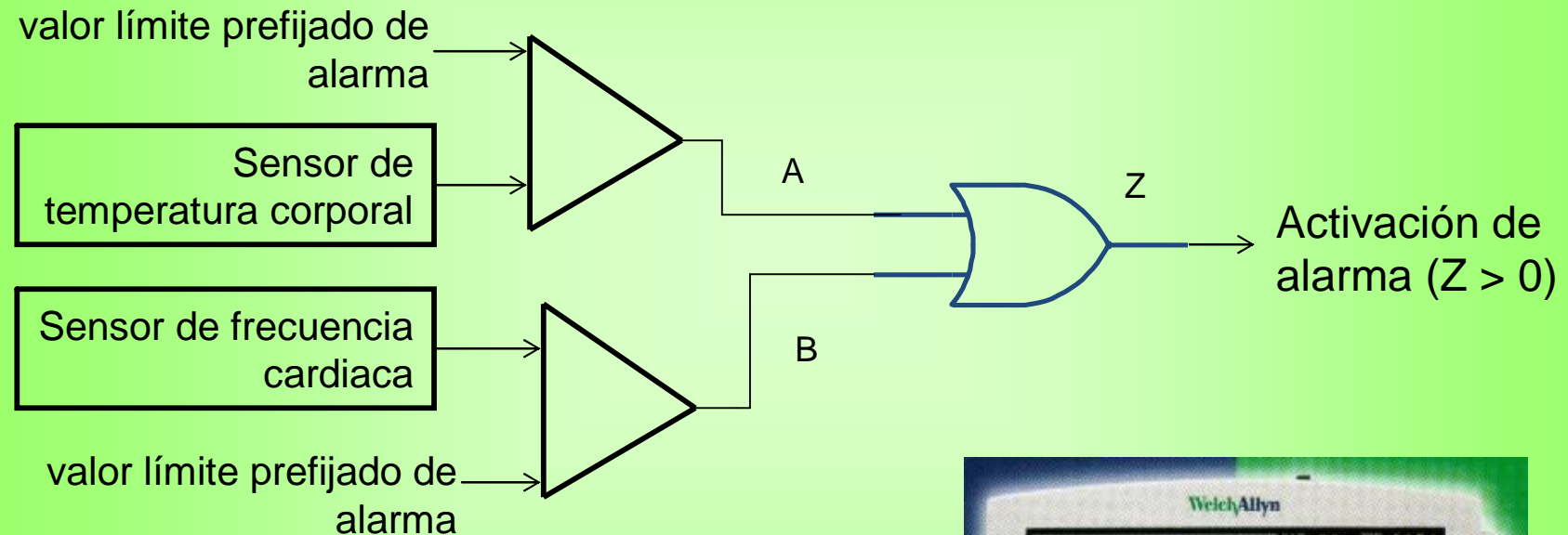
NOTE 3: All unused inputs of the device must be held at V<sub>CC</sub> or GND to ensure proper device operation. Refer to the TI application report, *Implications of Slow or Floating CMOS Inputs*, literature number SCBA004.

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS‡	SN5404			SN7404			UNIT
		MIN	TYP§	MAX	MIN	TYP§	MAX	
V <sub>IK</sub>	V <sub>CC</sub> = MIN, I <sub>I</sub> = -12 mA			-1.5			-1.5	V
I <sub>I</sub>	V <sub>CC</sub> = MAX, V <sub>I</sub> = 5.5 V			1			1	mA
I <sub>OS</sub> ¶	V <sub>CC</sub> = MAX	-20		-55	-18		-55	mA
I <sub>OCH</sub>	V <sub>CC</sub> = MAX, V <sub>I</sub> = 0 V		6	12		6	12	mA
I <sub>OCL</sub>	V <sub>CC</sub> = MAX, V <sub>I</sub> = 4.5 V		18	33		18	33	mA

# Circuito de alarmas de un monitor de UTI

(muy simplificado)



# Álgebra de Boole

George Boole (s. XIX)

- Formaliza las reglas del razonamiento lógico
- Desarrolla una estructura algebraica con dos valores (“verdadero”, “falso”) y dos leyes de composición interna (“y”, “o”)

Claude Shannon (1938, Laboratorios Bell)

- Adapta el álgebra de Boole a la **computación** (valores “0” y “1”)
- Formaliza las reglas de construcción de **circuitos digitales**

## Axioma

Cada uno de los principios fundamentales e indemostrables sobre los que se construye una teoría.

## Teoremas

Se derivan de los axiomas y tiene demostración (algebraica o por tablas de verdad)

## Axiomas

- (A1)  $X = 0$  si  $X \neq 1$

- (A1')  $X = 1$  si  $X \neq 0$

- (A2) Si  $X = 0 \Rightarrow X' = 1$

- (A2') Si  $X = 1 \Rightarrow X' = 0$

- (A3)  $0 \cdot 0 = 0$

- (A3')  $1 + 1 = 1$

- (A4)  $1 \cdot 1 = 1$

- (A4')  $0 + 0 = 0$

- (A5)  $0 \cdot 1 = 1 \cdot 0 = 0$

- (A5')  $1 + 0 = 0 + 1 = 1$

## Teoremas de una sola variable

(T1)	$X + 0 = X$	(T1')	$X \cdot 1 = X$	(Identities)
(T2)	$X + 1 = 1$	(T2')	$X \cdot 0 = 0$	(Null elements)
(T3)	$X + X = X$	(T3')	$X \cdot X = X$	(Idempotency)
(T4)	$(X')' = X$			(Involution)
(T5)	$X + X' = 1$	(T5')	$X \cdot X' = 0$	(Complements)

T3 y T3' permiten construir puertas INV con puertas  
NOR o NAND

## Teoremas de dos o tres variables

(T6)	$X + Y = Y + X$	(T6')	$X \cdot Y = Y \cdot X$	(Commutativity)
(T7)	$(X + Y) + Z = X + (Y + Z)$	(T7')	$(X \cdot Y) \cdot Z = X \cdot (Y \cdot Z)$	(Associativity)
(T8)	$X \cdot Y + X \cdot Z = X \cdot (Y + Z)$	(T8')	$(X + Y) \cdot (X + Z) = X + Y \cdot Z$	(Distributivity)
(T9)	$X + X \cdot Y = X$	(T9')	$X \cdot (X + Y) = X$	(Covering)
(T10)	$X \cdot Y + X \cdot Y' = X$	(T10')	$(X + Y) \cdot (X + Y') = X$	(Combining)
(T11)	$X \cdot Y + X' \cdot Z + Y \cdot Z = X \cdot Y + X' \cdot Z$			(Consensus)
(T11')	$(X + Y) \cdot (X' + Z) \cdot (Y + Z) = (X + Y) \cdot (X' + Z)$			

(T9)

**$X + X \cdot Y = X$**  → Elimina una variable

$$= X \cdot 1 + X \cdot Y$$

$$= X (1 + Y)$$

$$= X \cdot 1$$

$$= X$$

(T10)

**$X \cdot Y + X \cdot Y' = X$**

$$= X (Y + Y')$$

$$= X \cdot 1$$

$$= X$$




## Otros teoremas

- $X + X'.Y = X + Y$

- $X' + X.Y = X' + Y$

- $X . (X' + Y) = X . Y$   
     $= X . X' + X . Y$   
     $= 0 + X . Y$   
     $= X.Y$



X	Y	$X + X'.Y$	$X+Y$
0	0	0	0
0	1	1	1
1	0	1	1
1	1	1	1

## Teoremas de $n$ variables

$$(T12) \quad X + X + \cdots + X = X$$

$$(T12') \quad X \cdot X \cdot \cdots \cdot X = X$$

Idempotencia  
generalizada

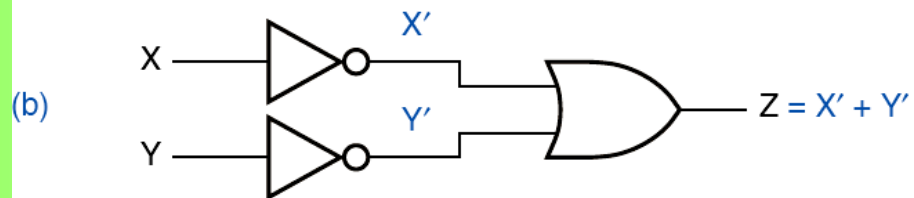
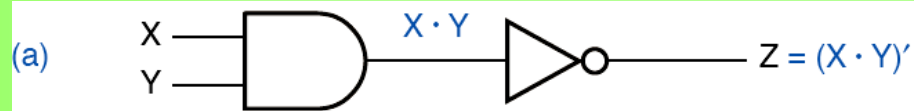
$$(T13) \quad (X_1 \cdot X_2 \cdot \cdots \cdot X_n)' = X_1' + X_2' + \cdots + X_n'$$

$$(T13') \quad (X_1 + X_2 + \cdots + X_n)' = X_1' \cdot X_2' \cdot \cdots \cdot X_n'$$

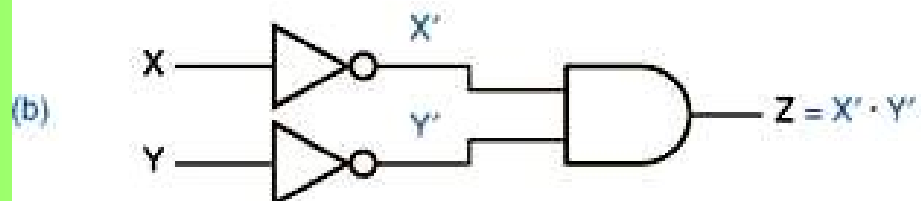
De Morgan

## Teoremas de De Morgan para 2 variables (y símbolos alternativos)

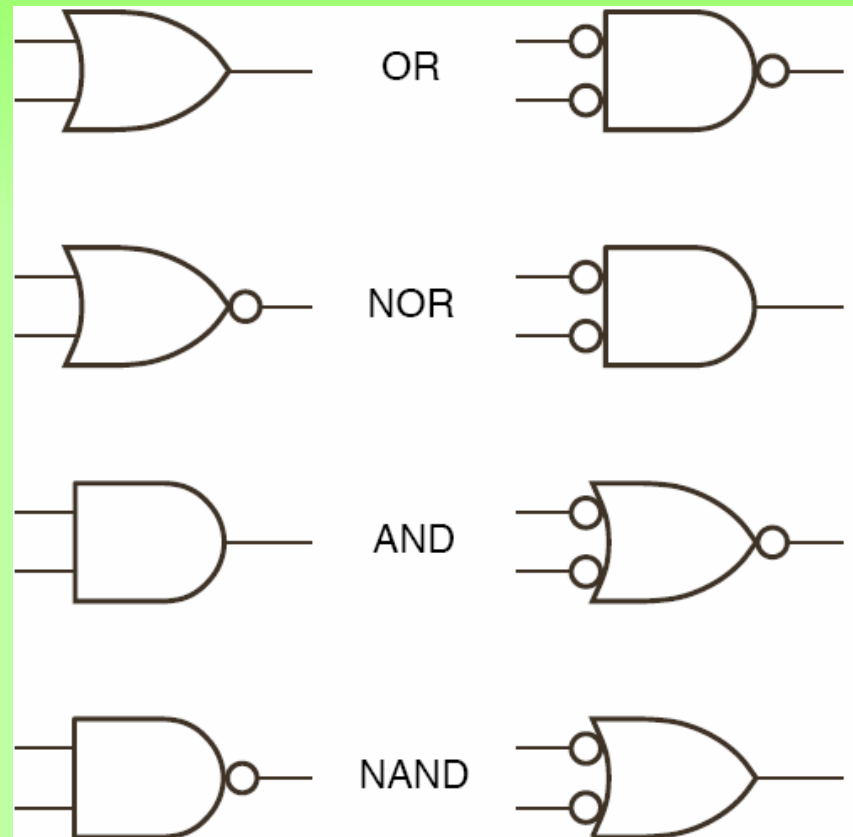
$$(X \cdot Y)' = X' + Y'$$



$$(X + Y)' = X' \cdot Y'$$

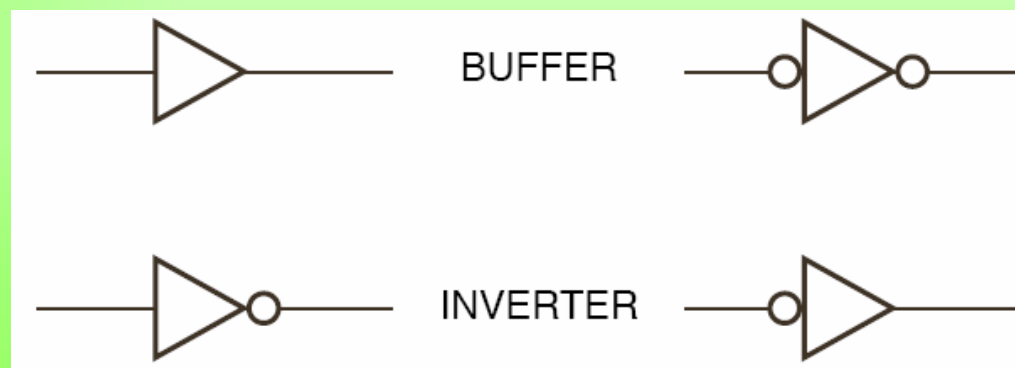


## Símbolos equivalentes alternativos



OR		
A	B	Z
0	0	0
0	1	1
1	0	1
1	1	1

AND		
A	B	Z
0	0	0
0	1	0
1	0	0
1	1	1



## Dualidad

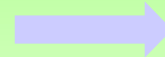
Cualquier teorema o identidad del álgebra de conmutación continúa siendo verdadero si tanto **0** y **1** como **.** y **+** son intercambiados en todas partes

(T1)	$X + 0 = X$	(T1')	$X \cdot 1 = X$	(Identities)
(T2)	$X + 1 = 1$	(T2')	$X \cdot 0 = 0$	(Null elements)
(T3)	$X + X = X$	(T3')	$X \cdot X = X$	(Idempotency)
(T4)	$(X')' = X$			(Involution)
(T5)	$X + X' = 1$	(T5')	$X \cdot X' = 0$	(Complements)

(T6)	$X + Y = Y + X$	(T6')	$X \cdot Y = Y \cdot X$	(Commutativity)
(T7)	$(X + Y) + Z = X + (Y + Z)$	(T7')	$(X \cdot Y) \cdot Z = X \cdot (Y \cdot Z)$	(Associativity)
(T8)	$X \cdot Y + X \cdot Z = X \cdot (Y + Z)$	(T8')	$(X + Y) \cdot (X + Z) = X + Y \cdot Z$	(Distributivity)
(T9)	$X + X \cdot Y = X$	(T9')	$X \cdot (X + Y) = X$	(Covering)
(T10)	$X \cdot Y + X \cdot Y' = X$	(T10')	$(X + Y) \cdot (X + Y') = X$	(Combining)
(T11)	$X \cdot Y + X' \cdot Z + Y \cdot Z = X \cdot Y + X' \cdot Z$			(Consensus)
(T11')	$(X + Y) \cdot (X' + Z) \cdot (Y + Z) = (X + Y) \cdot (X' + Z)$			

# Representaciones estándar de funciones lógicas

Row	X	Y	Z	F
0	0	0	0	$F(0,0,0)$
1	0	0	1	$F(0,0,1)$
2	0	1	0	$F(0,1,0)$
3	0	1	1	$F(0,1,1)$
4	1	0	0	$F(1,0,0)$
5	1	0	1	$F(1,0,1)$
6	1	1	0	$F(1,1,0)$
7	1	1	1	$F(1,1,1)$



Row	X	Y	Z	F
0	0	0	0	1
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	1
5	1	0	1	0
6	1	1	0	1
7	1	1	1	1

- **Literal:** una variable o su *complemento*. Ejm: X, Y, X', Y'
- **Término de producto:** literal o un producto de 2 o más literales  
Ejm: X, X.Y, X'.Y.Z
  - **Suma de productos:** suma lógica de términos de producto  
Ejm: X.Y + X'.Y.Z
- **Término de suma:** literal o una suma de 2 o más literales  
Ejm: X, X + Y, X' + Y + Z
  - **Producto de sumas:** producto lógico de términos de suma  
Ejm: (X + Y) . (X' + Y + Z)

▪ **Minitérmino:** término de producto donde aparecen **todos** los literales de la función.

▪ Cada variable aparece **complementada** si su valor es **0** y **sin complementar** si es **1**.

▪ **Maxitérmino:** término de suma donde aparecen **todos** los literales de la función.

▪ Cada variable aparece **complementada** si su valor es **1** y **sin complementar** si es **0**

Row	X	Y	Z	F	Minterm	Maxterm
0	0	0	0	F(0,0,0)	$X' \cdot Y' \cdot Z'$	$X + Y + Z$
1	0	0	1	F(0,0,1)	$X' \cdot Y' \cdot Z$	$X + Y + Z'$
2	0	1	0	F(0,1,0)	$X' \cdot Y \cdot Z'$	$X + Y' + Z$
3	0	1	1	F(0,1,1)	$X' \cdot Y \cdot Z$	$X + Y' + Z'$
4	1	0	0	F(1,0,0)	$X \cdot Y' \cdot Z'$	$X' + Y + Z$
5	1	0	1	F(1,0,1)	$X \cdot Y' \cdot Z$	$X' + Y + Z'$
6	1	1	0	F(1,1,0)	$X \cdot Y \cdot Z'$	$X' + Y' + Z$
7	1	1	1	F(1,1,1)	$X \cdot Y \cdot Z$	$X' + Y' + Z'$

# Formas canónicas de expresión de funciones

## Suma canónica

Expresión algebraica de una función lógica como la **suma de los minitérminos** que hacen **1** la función.

Row	X	Y	Z	F
0				
1	0	0	1	0
2	0	1	0	0
3				
4				
5	1	0	1	0
6				
7				

$$F = X'.Y'.Z' + X'.Y.Z + X.Y'.Z' + X.Y.Z' + X.Y.Z$$



## Producto canónico

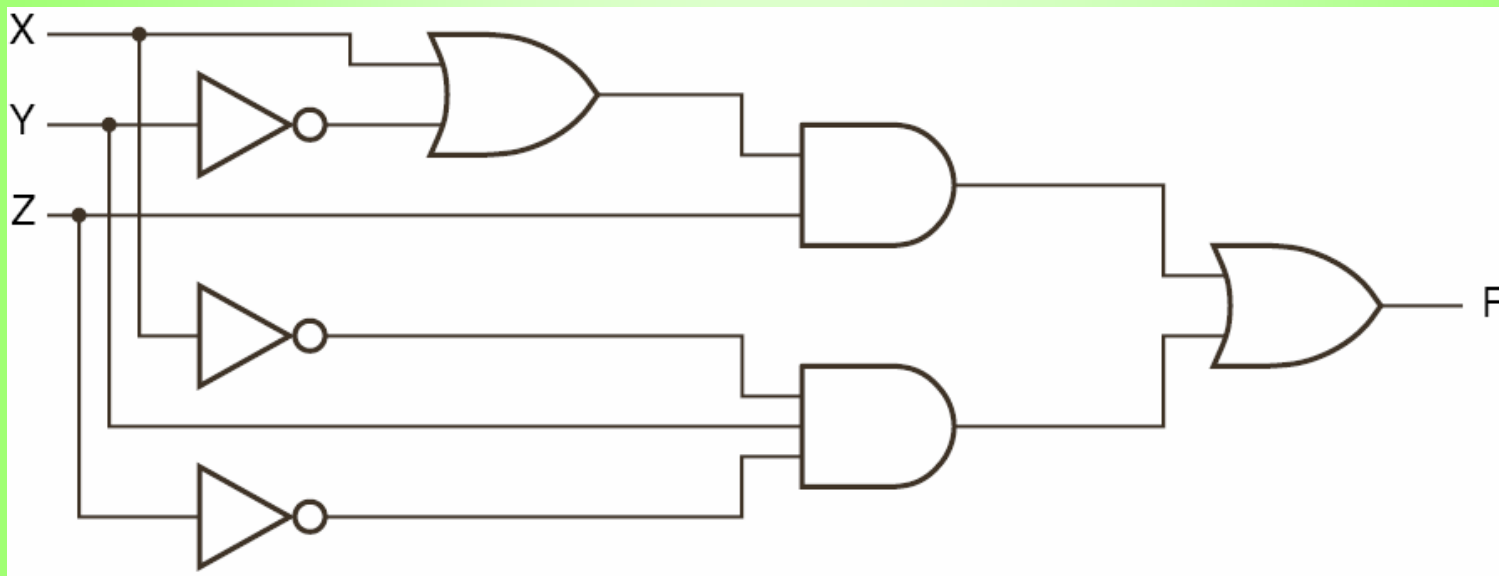
Expresión algebraica de una función lógica como el **producto de los maxitérminos** que hacen **0** la función.

Row	X	Y	Z	F
0	0	0	0	1
1				
2				
3	0	1	1	1
4	1	0	0	1
5				
6	1	1	0	1
7	1	1	1	1

$$F = (X + Y + Z') \cdot (X + Y' + Z) \cdot (X' + Y + Z')$$

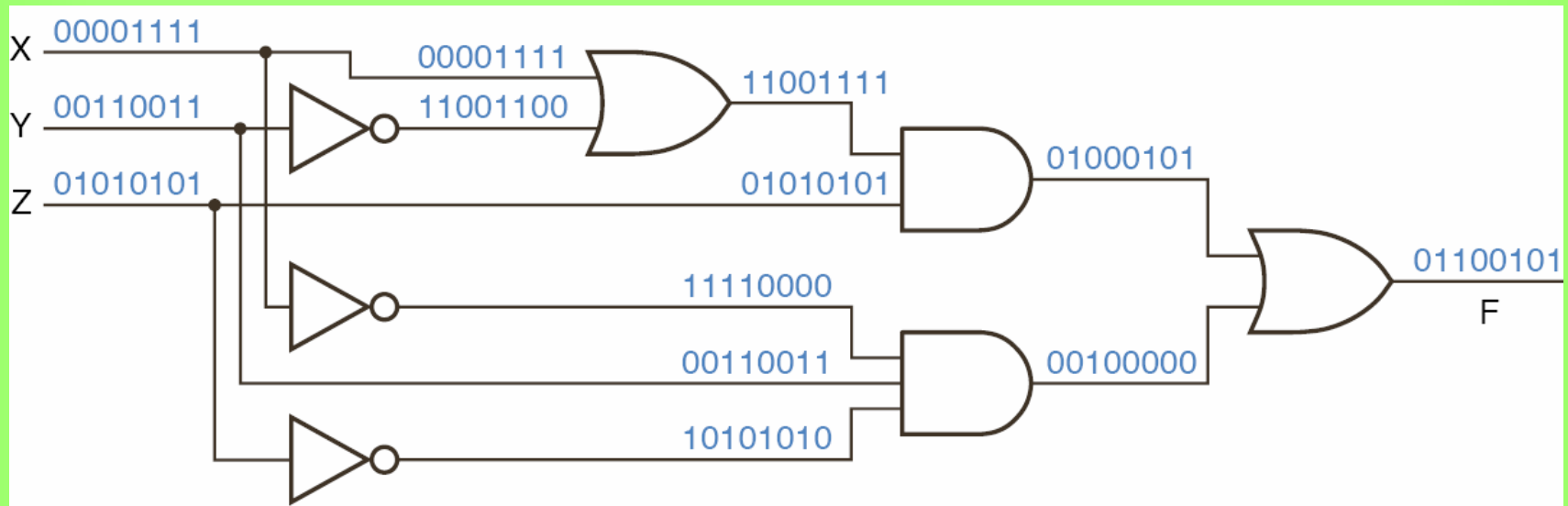
# Análisis de circuitos combinacionales

- Determinar el comportamiento para diferentes entradas
- Manipular la expresión para sugerir distintos circuitos posibles de implementación
- Transformar la expresión en una forma estándar
- Usar la expresión como herramienta de análisis de un circuito más grande que lo incluya



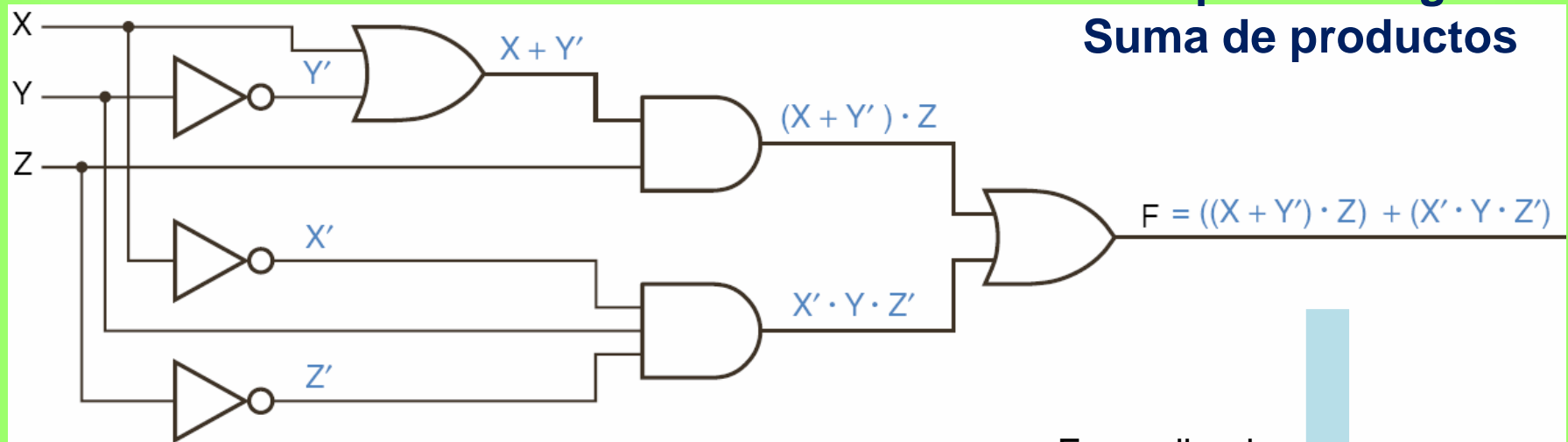
## Descripción formal del circuito

## #1 Tabla de verdad

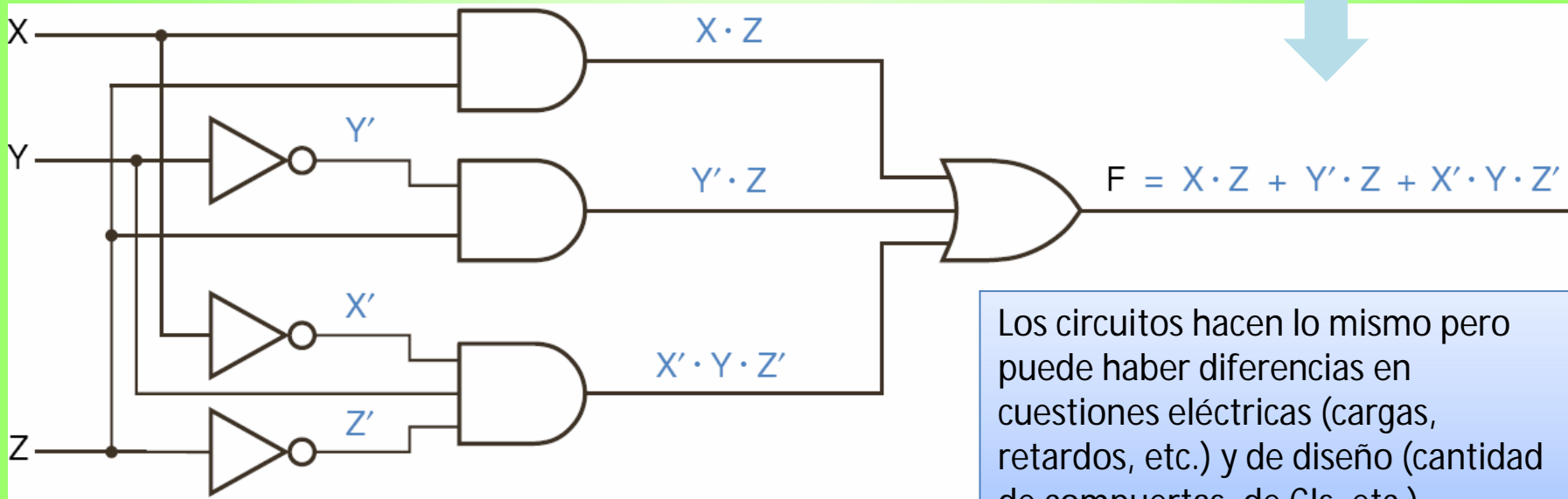


Row	X	Y	Z	F
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	0
4	1	0	0	0
5	1	0	1	1
6	1	1	0	0
7	1	1	1	1

## #2 Expresión lógica: Suma de productos

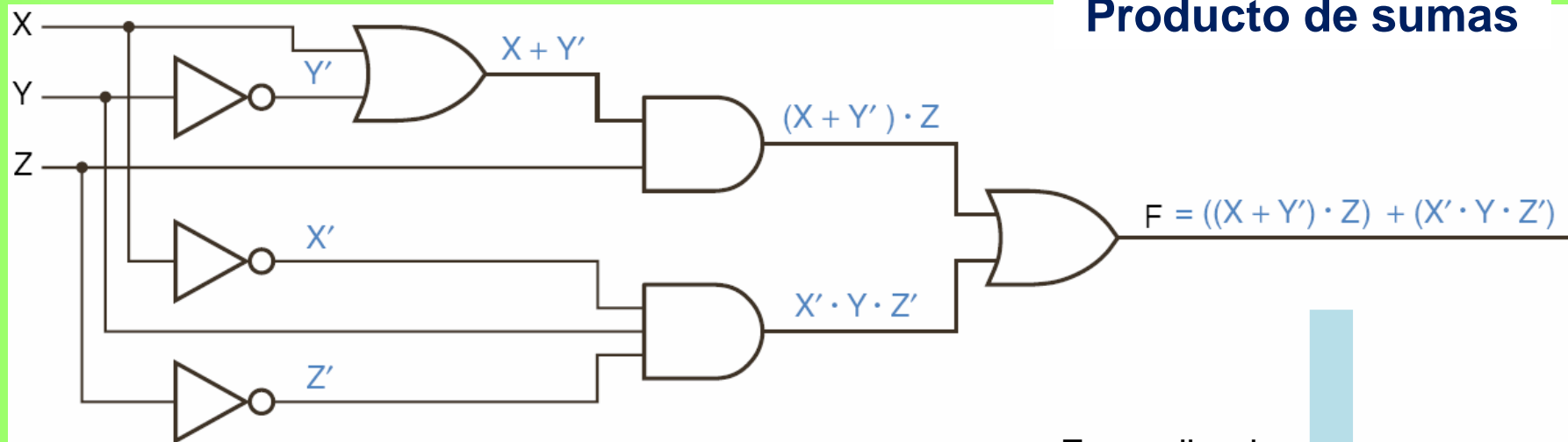


Expandingo  
a una forma  
estándar

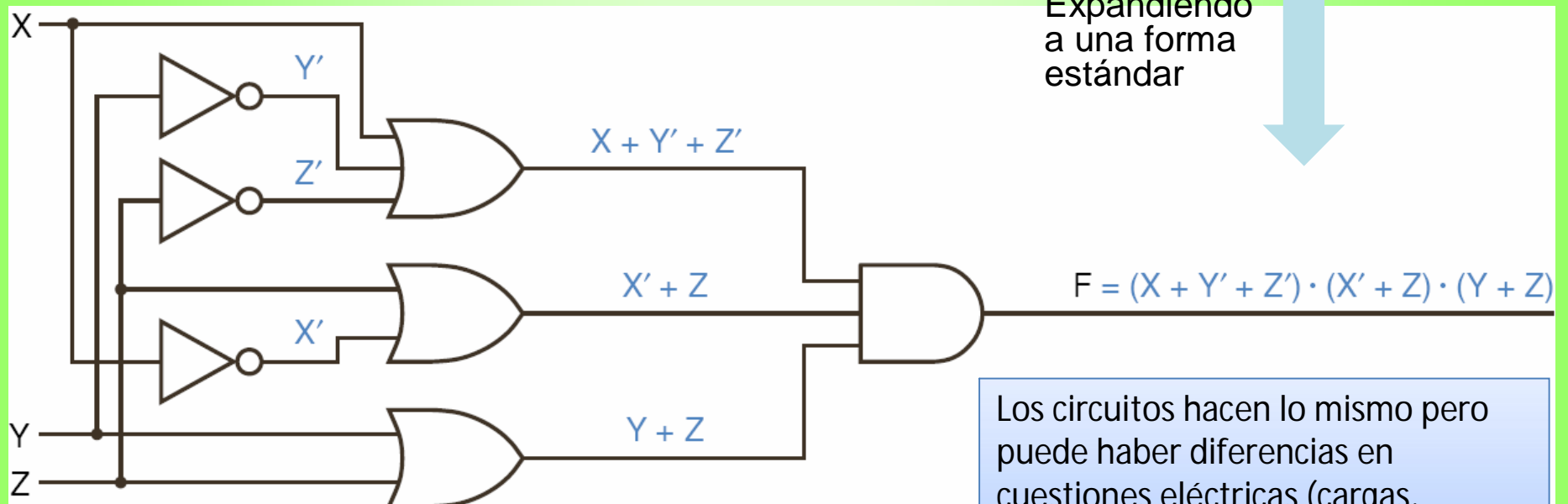


Los circuitos hacen lo mismo pero puede haber diferencias en cuestiones eléctricas (cargas, retardos, etc.) y de diseño (cantidad de compuertas, de CIs, etc.)

### #3 Expresión lógica: Producto de sumas

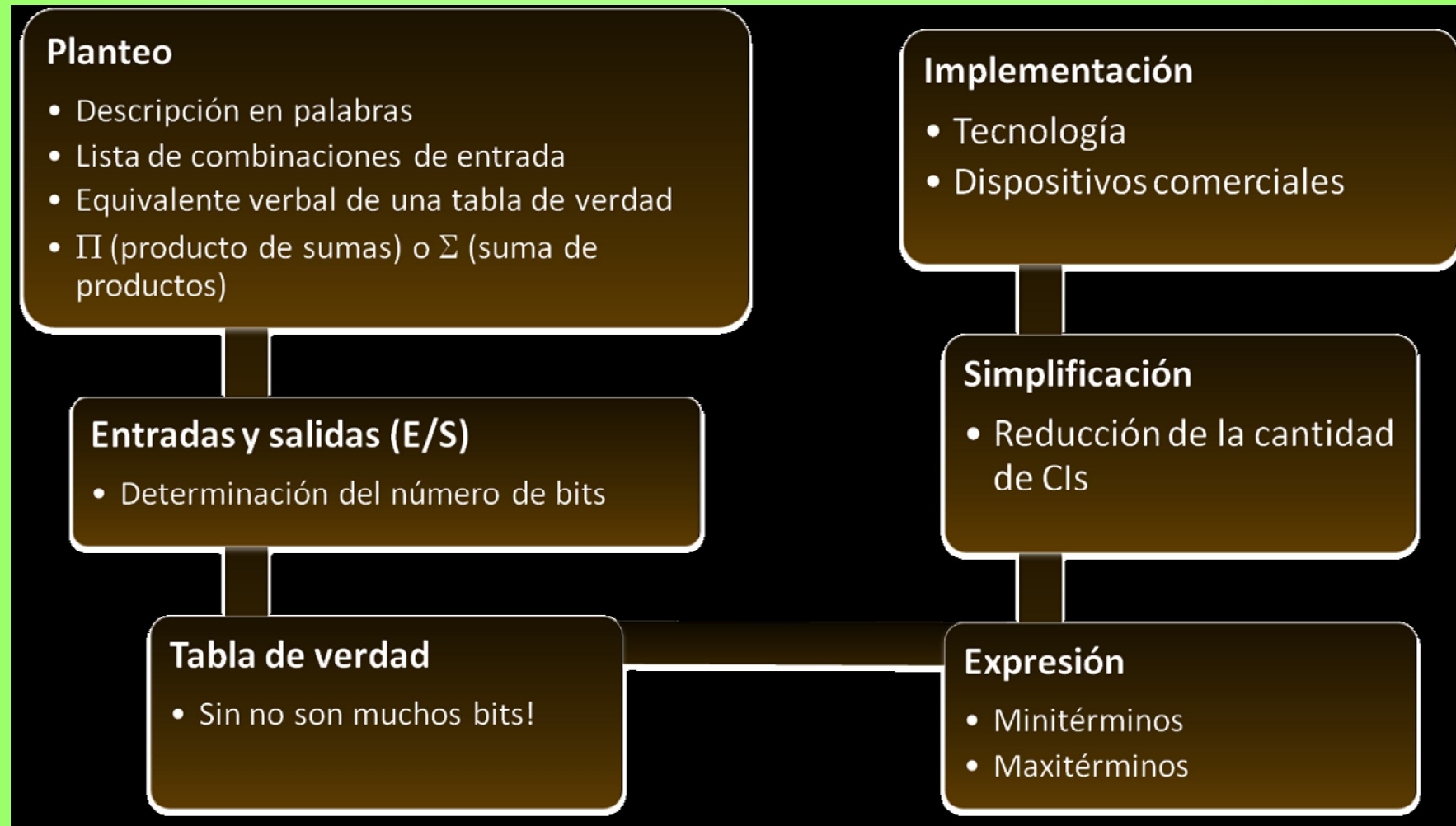


Expandingo  
a una forma  
estándar



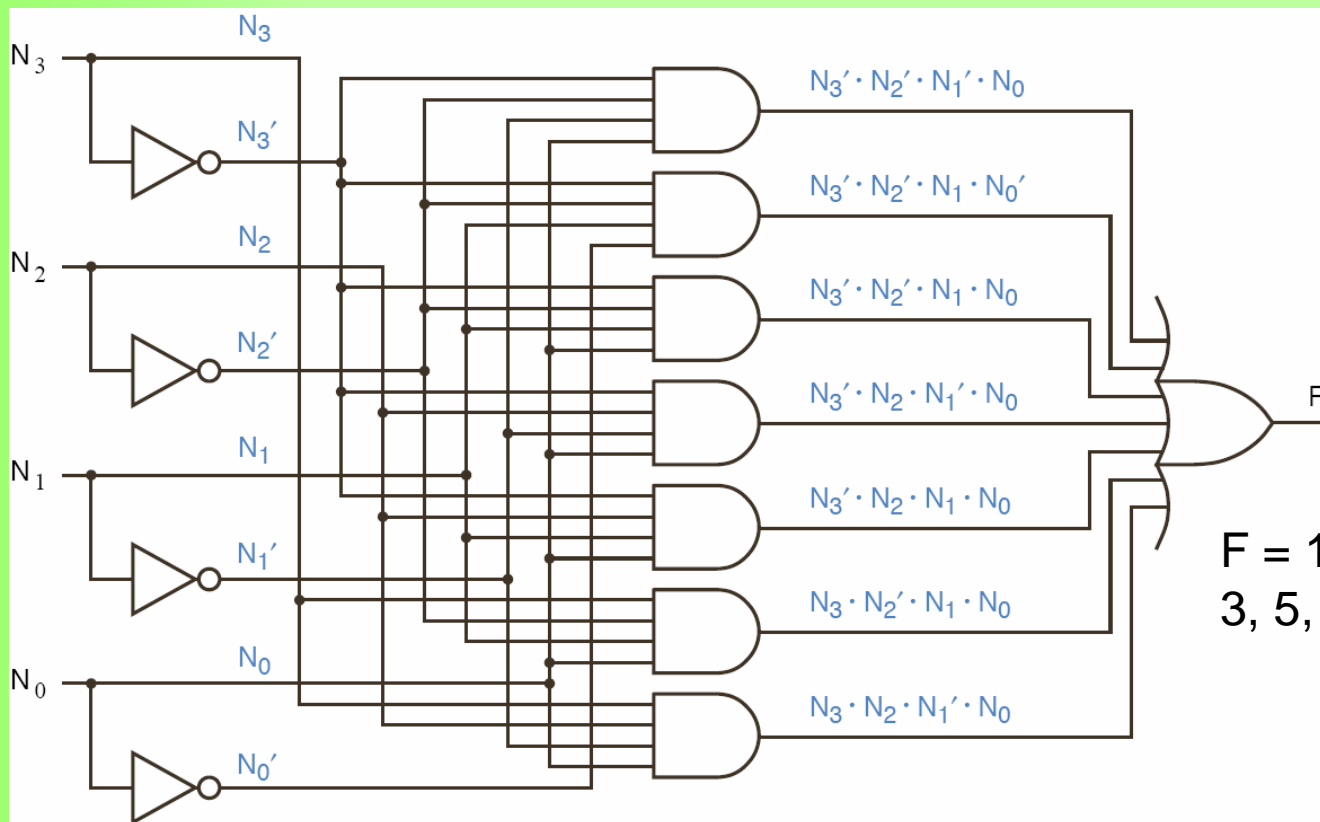
Los circuitos hacen lo mismo pero puede haber diferencias en cuestiones eléctricas (cargas, retardos, etc.) y de diseño (cantidad de compuertas, de CIs, etc.)

# Síntesis de circuitos combinacionales



## Descripción con palabras

“Dado un número N de 4 bits en la entrada, el circuito produce una salida H si N es primo”



$F = 1$  para  $N = 1, 2, 3, 5, 7, 11, 13$

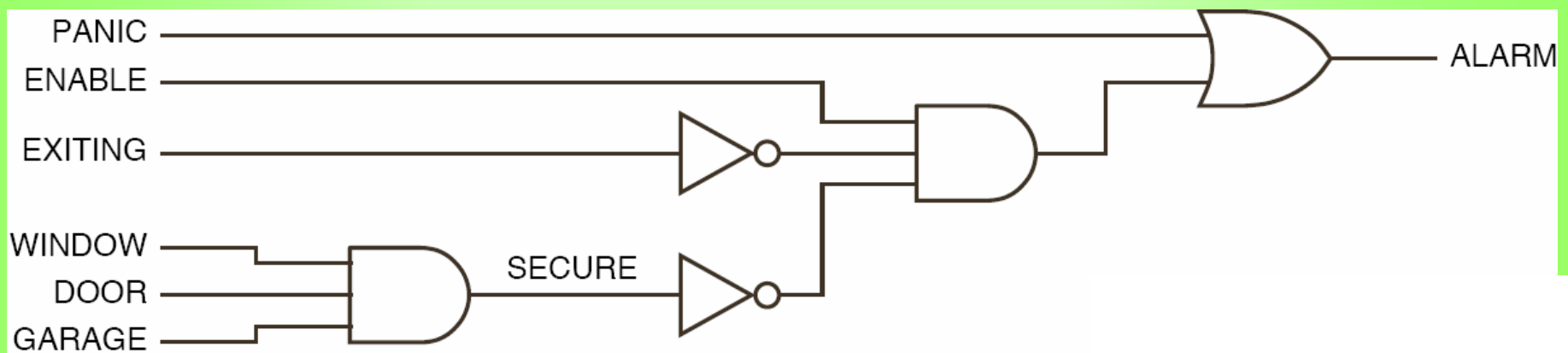
Detector de números primos de 4 bits

## Descripción con conjunciones

*“ALARM es 1 si*

*PANICO es 1 o (OR)*

*si ENABLE es 1 y (AND) EXITING es 0 y (AND) SECURE es 0”*



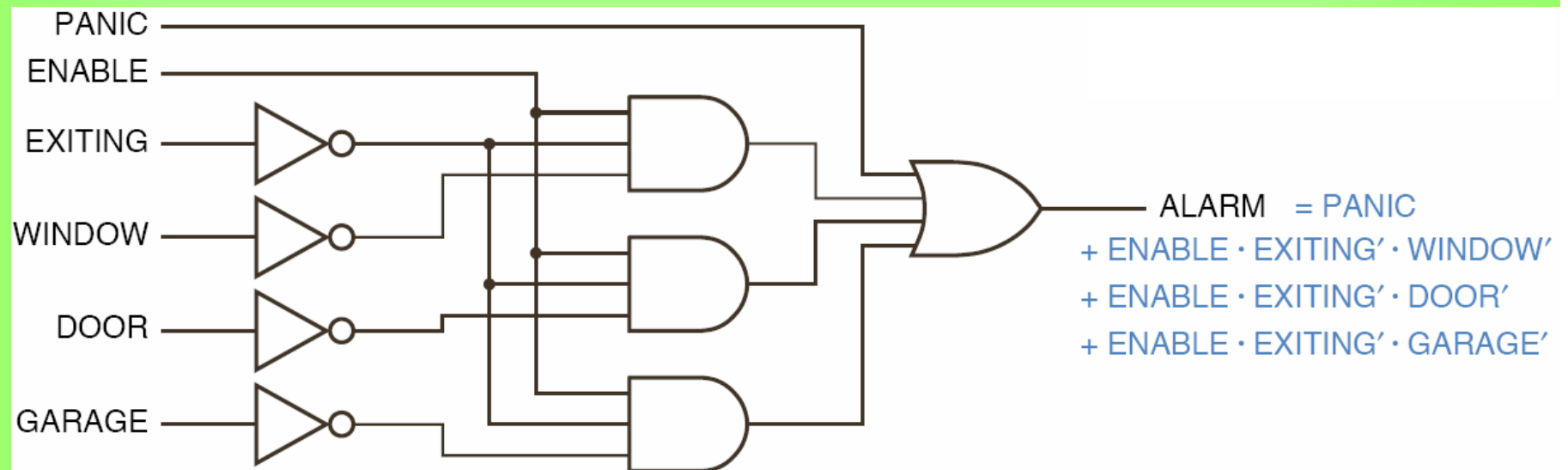
$ALARM = PANIC + ENABLE \cdot EXITING' \cdot SECURE'$

$SECURE = WINDOW \cdot DOOR \cdot GARAGE$

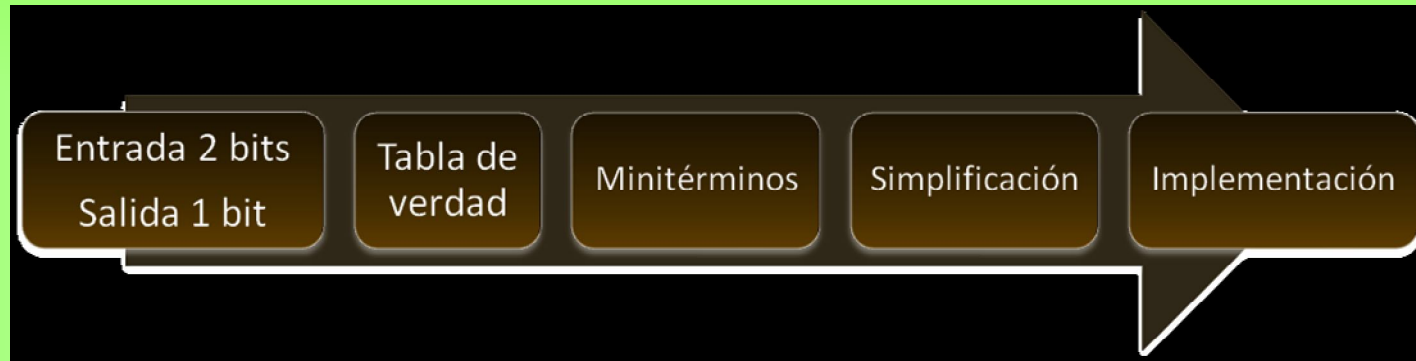
$ALARM = PANIC + ENABLE \cdot EXITING' \cdot (WINDOW \cdot DOOR \cdot GARAGE)'$



## Implementación → por ejemplo suma de productos

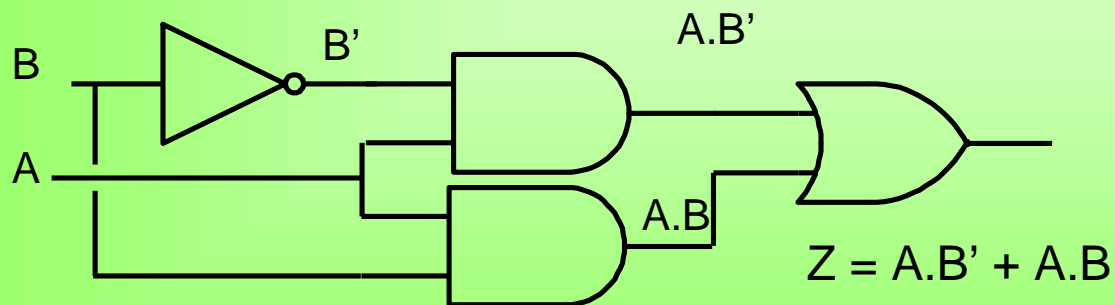


## Ejemplo #1: síntesis a partir de una tabla de verdad usando los **minitérminos**



No.	B	A	Z	minitérminos
0	0	0	0	
1	0	1	1	$B' . A$
2	1	0	0	
3	1	1	1	$B . A$

$$Z(A, B) = B' . A + B . A = \sum_{A, B} (1, 3)$$



$$\begin{aligned} Z &= A . B' + A . B \\ &= A (B' + B) \\ &= A . 1 \\ &= A \end{aligned}$$

## Ejemplo #2: síntesis a partir de la misma tabla de verdad usando los **maxitérminos**

Entrada 2 bits  
Salida 1 bit

Tabla de  
verdad

Maxiterminos

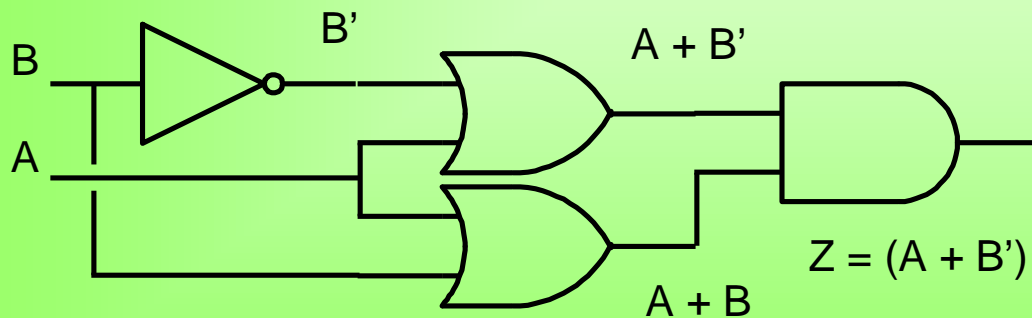
Simplificación

Implementación

No.	B	A	Z	maxitérminos
0	0	0	0	$B + A$
1	0	1	1	
2	1	0	0	$B' + A$
3	1	1	1	

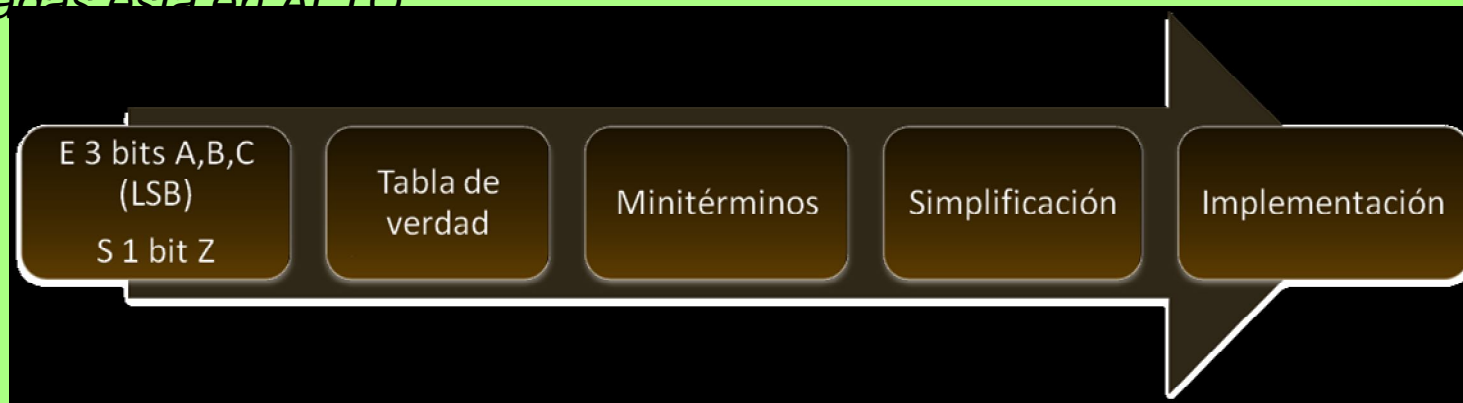
$$Z(A, B) = (A + B).(A + B') = \prod_{A,B} (0,2)$$

$$\begin{aligned}
 Z &= (A + B') . (A + B) \\
 &= A.A + A.B + B'.A + B.B' \\
 &= A + A.(B + B') + 0 \\
 &= A + A.1 \\
 &= A + A \\
 &= A
 \end{aligned}$$



### Ejemplo #3: síntesis a partir de una **descripción con palabras**

*Se necesita diseñar un circuito lógico que detecte que la mayoría de sus 3 entradas está en ALTO*



A	B	C	Z
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

$$Z = A/BC + AB/C + ABC/ + ABC$$

$$Z = A/BC + AB/C + ABC/ + ABC + ABC + ABC$$

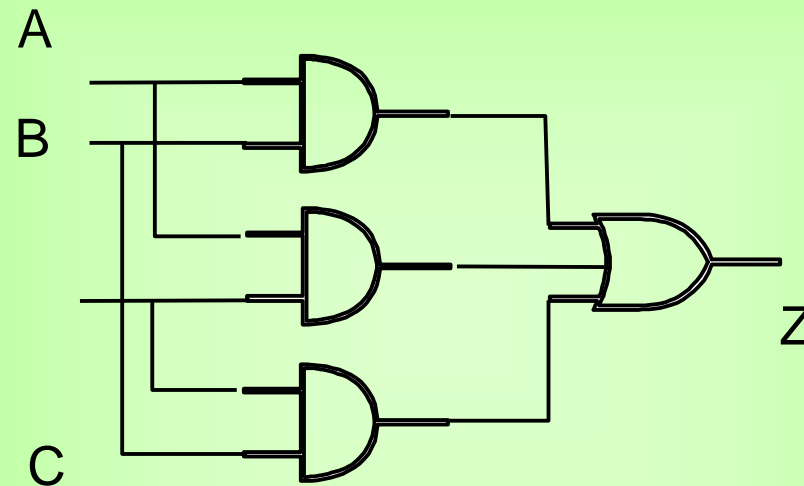
$$= A/BC + AB/C + ABC/ + ABC + ABC + ABC$$

$$= BC (A + A/) + AC (B/ + B) + AB (C/ + C)$$

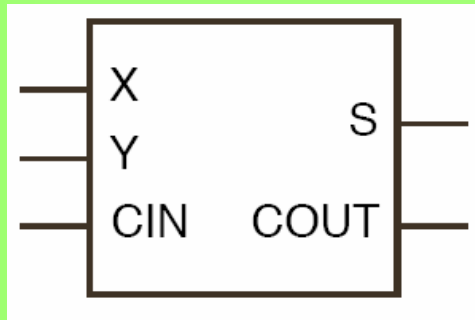
$$= BC + AC + AB$$

$$Z = AB + AC + BC$$

(3 AND de 2 entradas y 1 OR de 3 entradas)



## Ejemplo de diseño: sumador de 1 bit con acarreo (*full adder*)

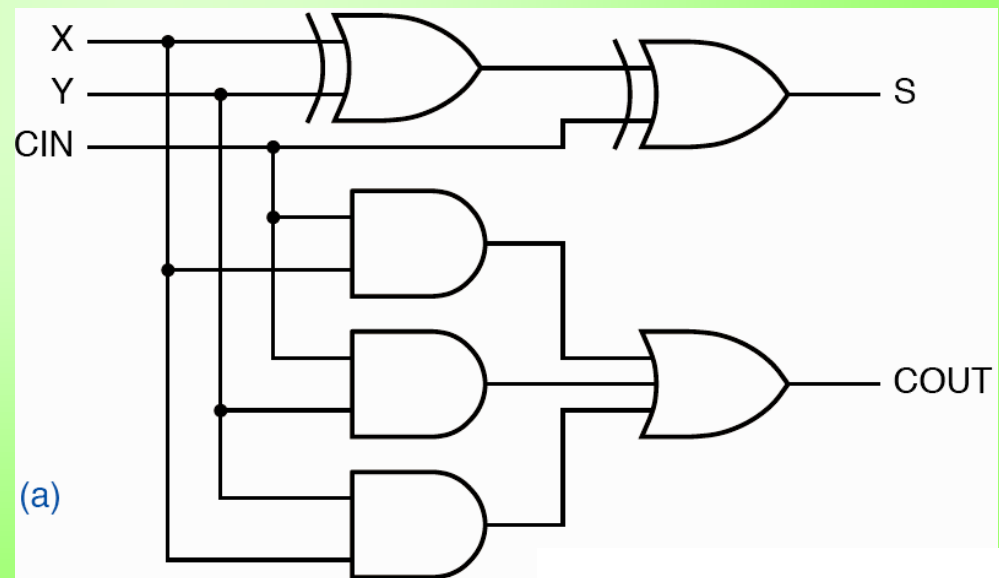


Entradas: 3

Salidas: 2 (funciones)

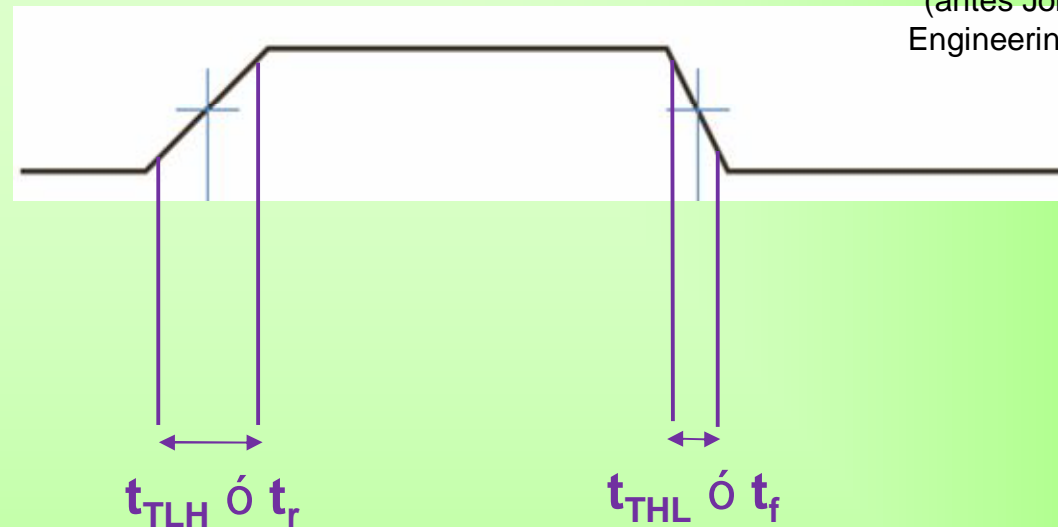
$$S, COUT = X + Y + CIN$$

X	Y	CIN	S	COUT
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



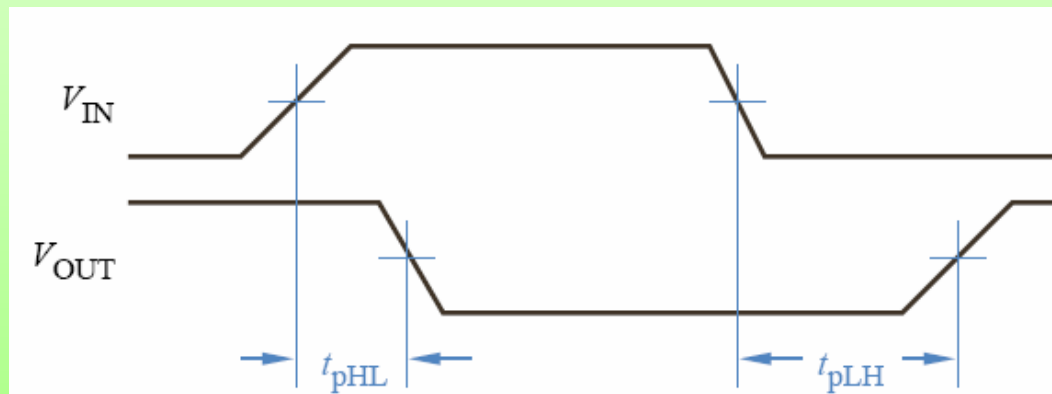
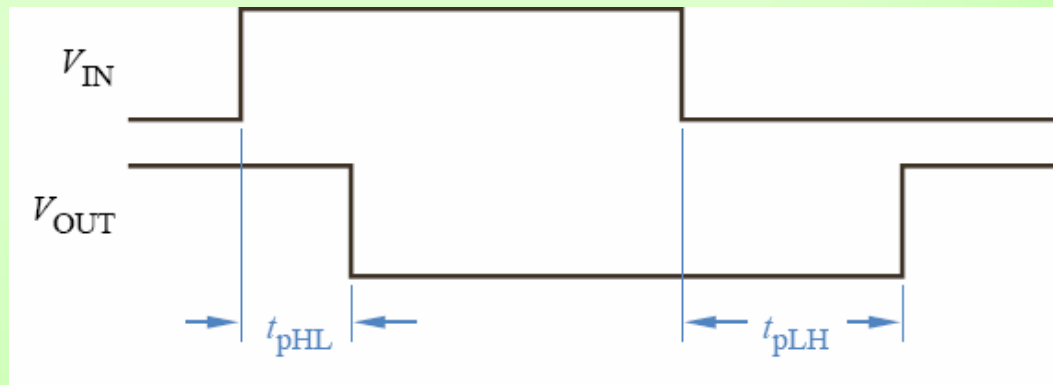
# Tiempos de transición

Solid State Technology Association  
(antes Joint Electron Device  
Engineering Council - JEDEC)



- **$t_{TLH}$  /  $t_r$  Rise time:** *The time interval between one reference point on a waveform and a second reference point of greater magnitude on the same waveform.*
- **$t_{THL}$  /  $t_f$  Fall time:** *The time interval between one reference point on a waveform and a second reference point of smaller magnitude on the same waveform.*

# Tiempos de propagación



- **$t_{pHL}$  Propagation Delay Time, High-Level to Low-Level Output:** el tiempo entre puntos de referencia especificados en las formas de onda de la entrada y la salida, cuando la salida cambia de nivel alto a nivel bajo.
- **$t_{pLH}$  - Propagation Delay Time, Low-Level to High-Level Output:** el tiempo entre puntos de referencia especificados en las formas de onda de la entrada y la salida, cuando la salida cambia de nivel bajo a nivel alto.



## Serie LS-TTL

### SN5404, SN54LS04, SN54S04, SN7404, SN74LS04, SN74S04 HEX INVERTERS

SDLS029C - DECEMBER 1983 - REVISED JANUARY 2004

switching characteristics,  $V_{CC} = 5\text{ V}$ ,  $T_A = 25^\circ\text{C}$  (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	SN5404 SN7404			UNIT
				MIN	TYP	MAX	
$t_{PLH}$	A	Y	$R_L = 400\ \Omega$ , $C_L = 15\text{ pF}$		12	22	ns
$t_{PHL}$					8	15	

## Serie CMOS 4000

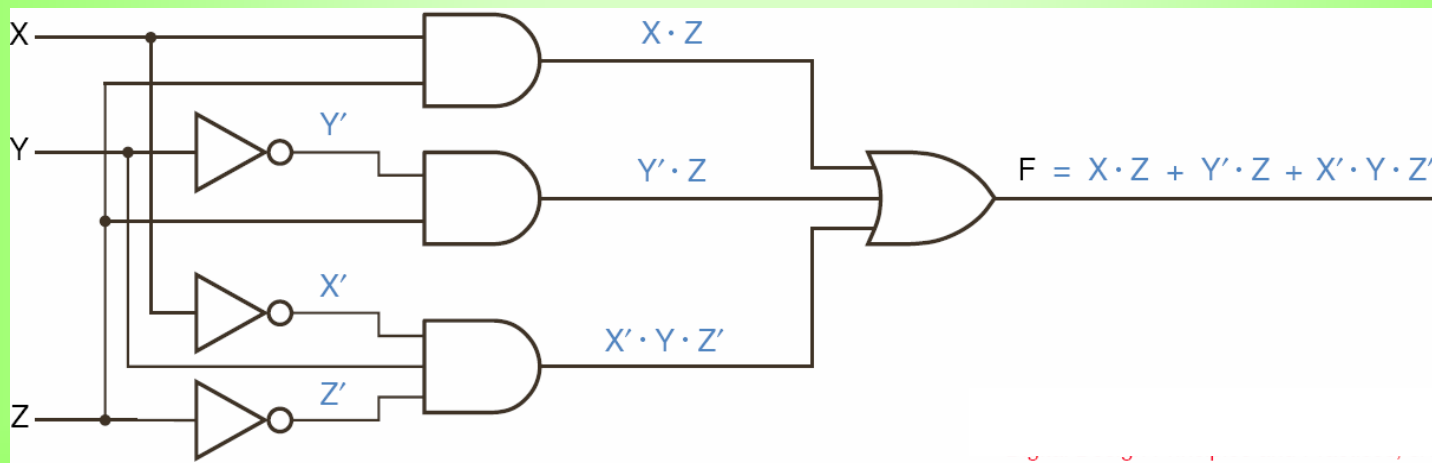
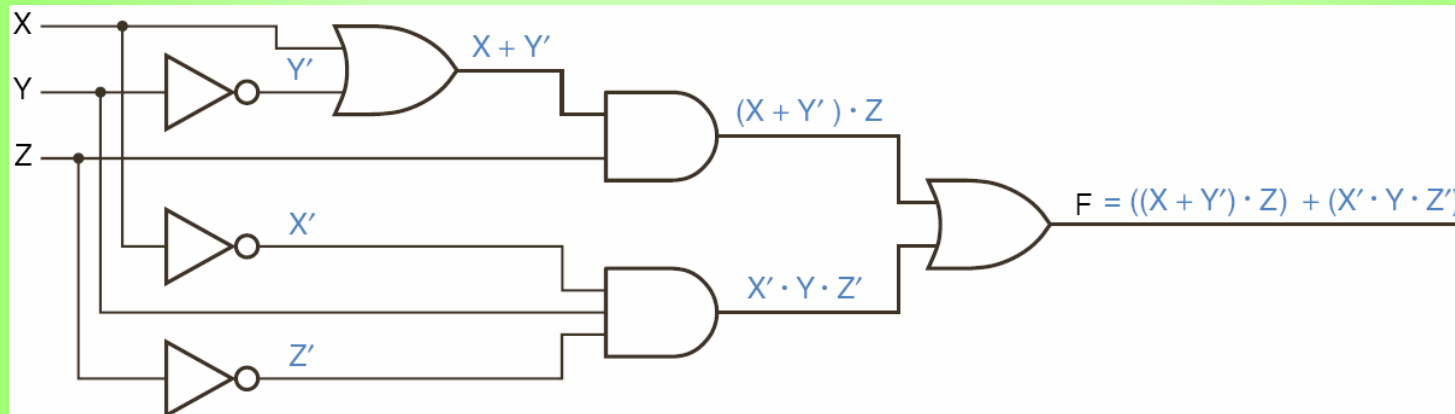
### HCC/HCF4000B-4001B-4002B-4025B

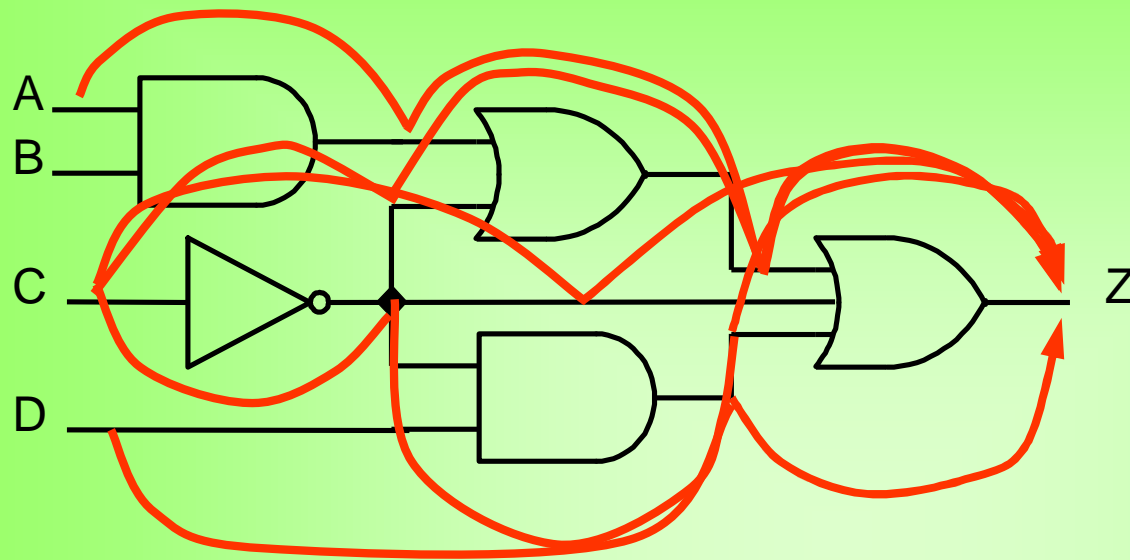
**DYNAMIC ELECTRICAL CHARACTERISTICS** ( $T_{amb} = 25^\circ\text{C}$ ,  $C_L = 50\text{ pF}$ ,  $R_L = 200\text{ K}\Omega$ , typical temperature coefficient for all  $V_{DD}$  values is  $03\text{ }^\circ\text{C}/^\circ\text{C}$ , all input rise and fall times =  $20\text{ ns}$ )

Symbol	Parameter	Test Conditions		Value			Unit
			$V_{DD}\text{ (V)}$	Min.	Typ.	Max.	
$t_{PHL}$	Propagation Delay Time		5		125	250	ns
$t_{PLH}$			10		60	120	
			5		45	90	
$t_{THL}$	Transition Time		5		100	200	ns
$t_{TLH}$			10		50	100	
			15		40	80	

## **Hazards:** efecto de los $t_p$ en un circuito

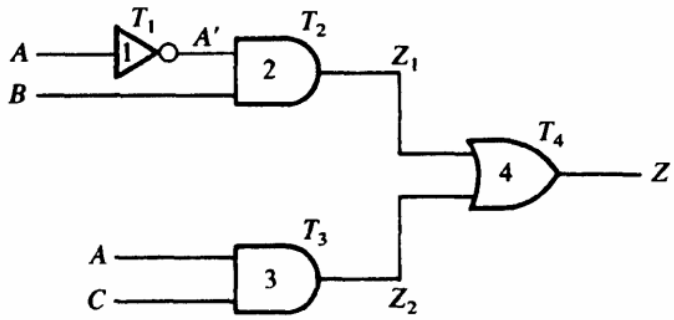
Un *hazard* se produce cuando existen retardos desiguales en los caminos de las señales desde las entradas a la/s salida/s





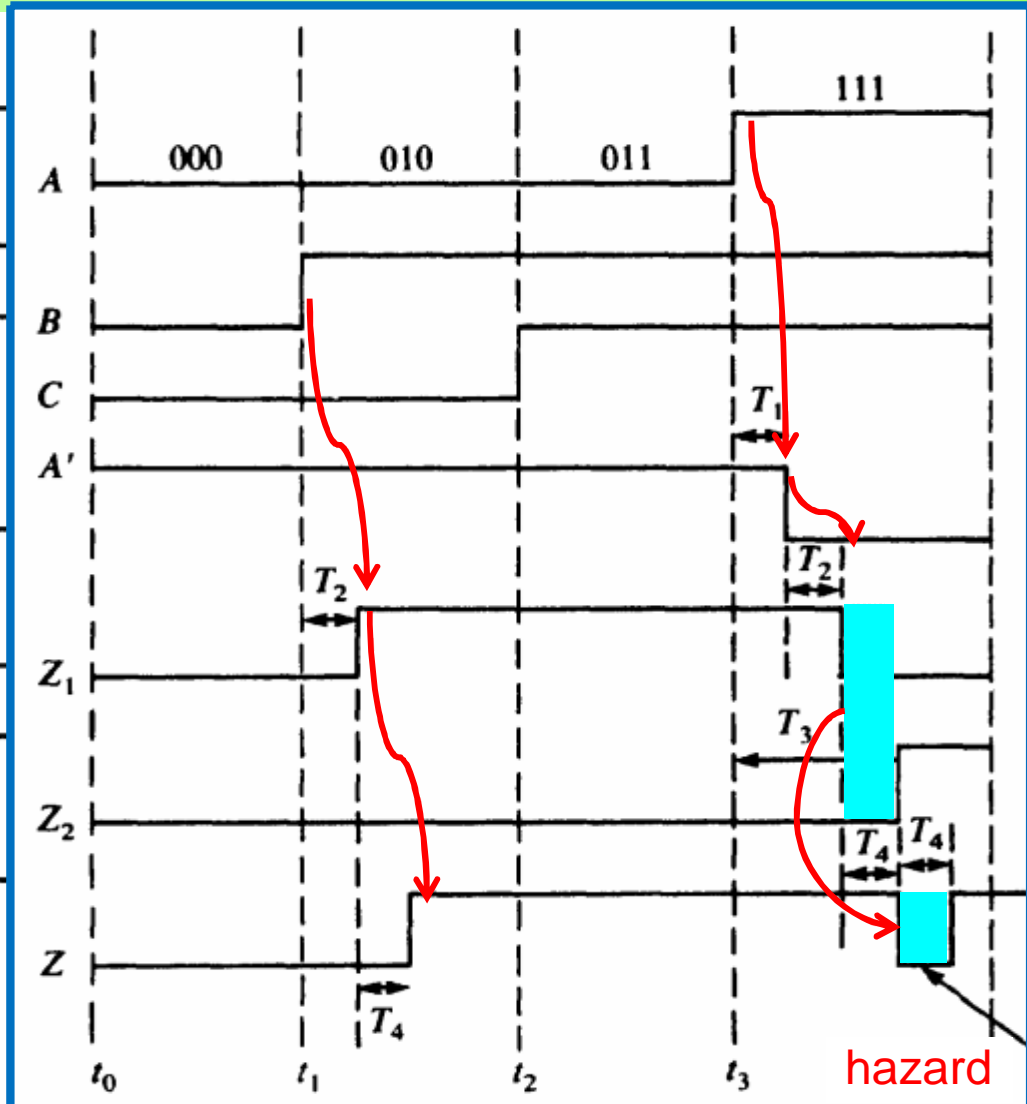
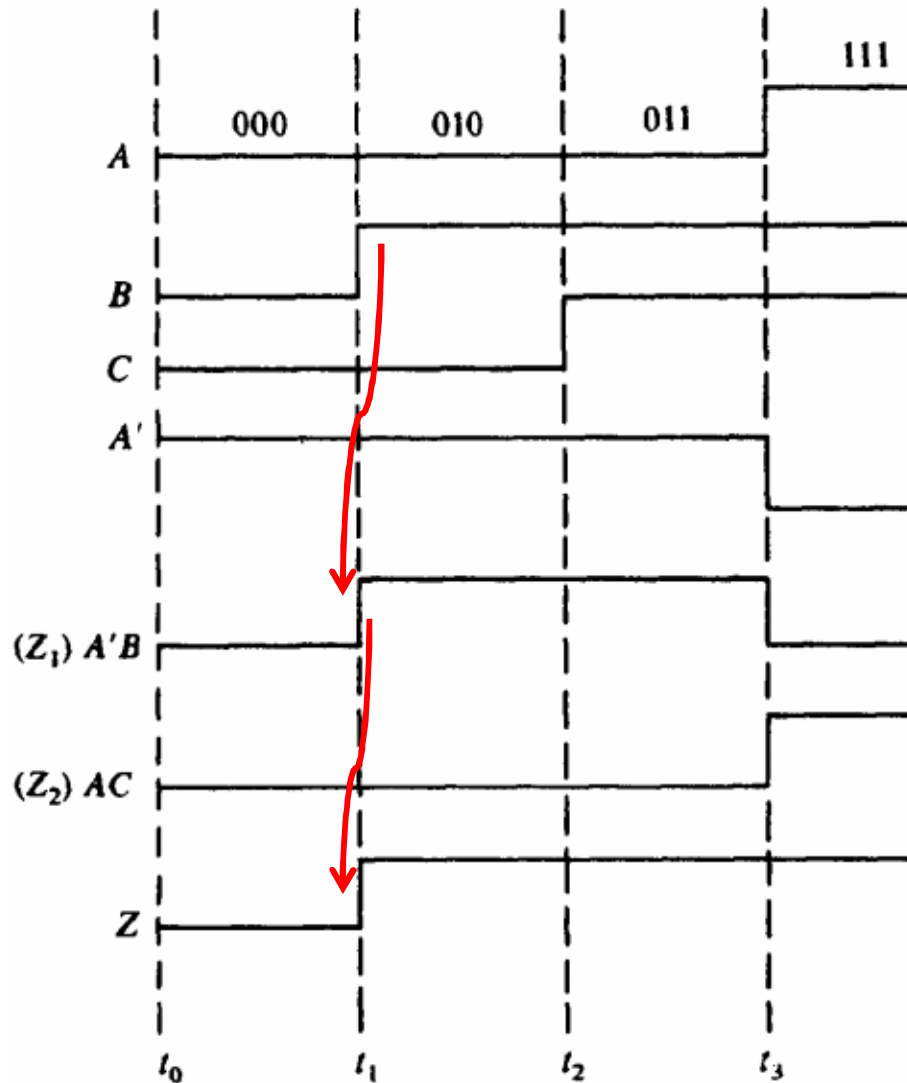
Atraviesa 2 compuertas  
 Atraviesa 3 compuertas  
 Atraviesa 2 compuertas  
 Atraviesa 3 compuertas  
 Atraviesa 3 compuertas

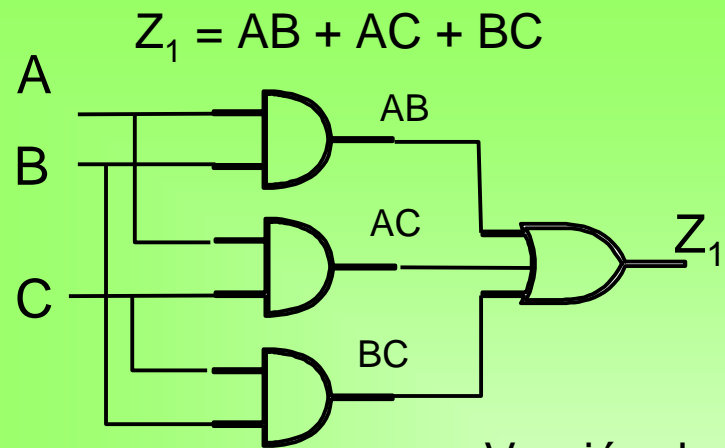
Peor caso  $\rightarrow 3$  compuertas  $= 3 \cdot t_r$



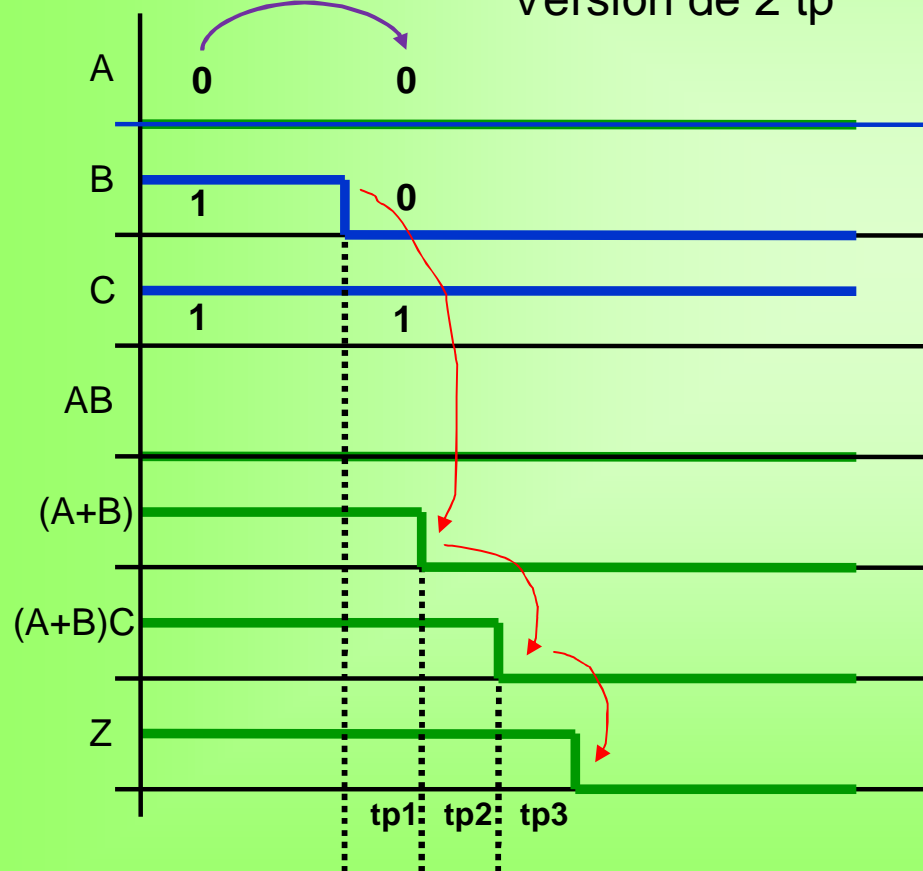
Se asume que:

- $T_3$  distinto de  $T_2$
- $T_3 > (T_1 + T_2)$



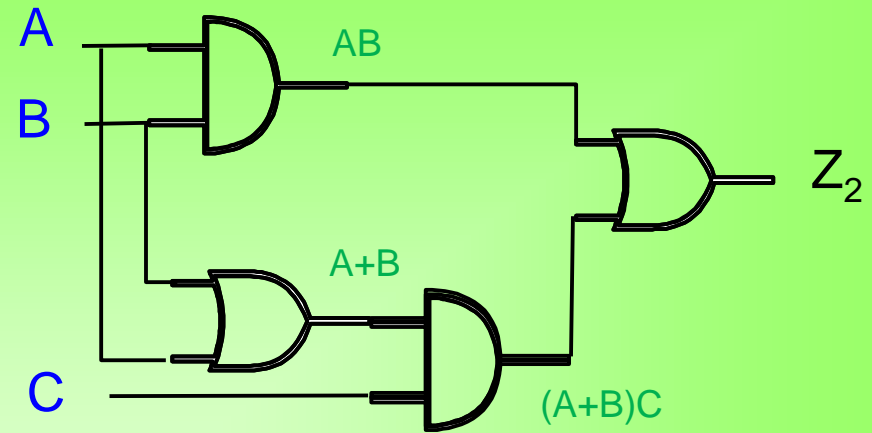


Versión de 2 tp



retardo

$$Z_2 = (A + B) C + AB$$



Versión de 3 tp

*¿Qué pasa si A cambia antes de 3 tp?*

# Universalidad NAND - NOR

- Cualquier circuito lógico puede implementarse con una combinación de AND, OR, INV
- Una compuerta NAND o NOR permiten hacer INV
- Por De Morgan los productos y sumas pueden *convertirse entre sí*

suma  $\rightarrow$  producto

$$X' + Y' = (X \cdot Y)'$$

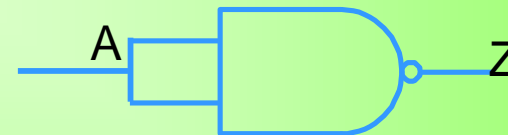
producto  $\rightarrow$  suma

$$X' \cdot Y' = (X + Y)'$$

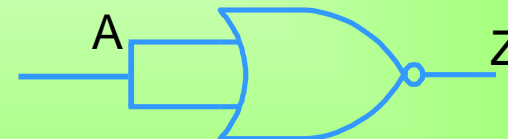
NAND		
A	B	Z
0	0	1
0	1	1
1	0	1
1	1	0

NOR		
A	B	Z
0	0	1
0	1	0
1	0	0
1	1	0

$$(A \cdot A)' = A'$$



$$(A + A)' = A'$$



## Ejemplo

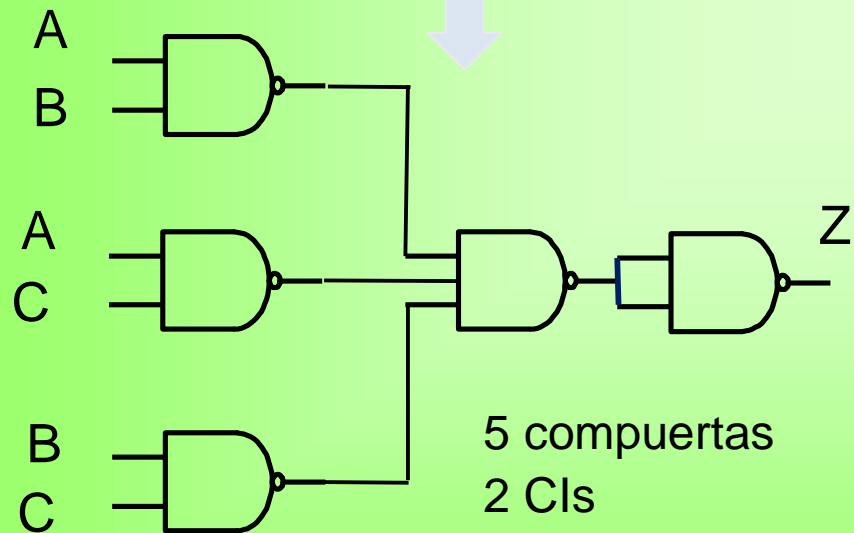
$$Z = AB + AC + BC$$

$$= (AB + AC + BC)''$$

$$= [(AB)' \cdot (AC)' \cdot (BC)']'$$

$$X' + Y' = (X \cdot Y)'$$

### Versión #1 NAND



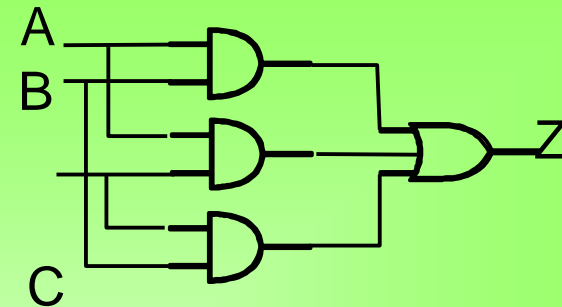
5 compuertas  
2 CIs

1 CI NAND 2i

1 CI NAND 3i

ó 2 CIs NAND 3i

### Versión #2 Suma de productos

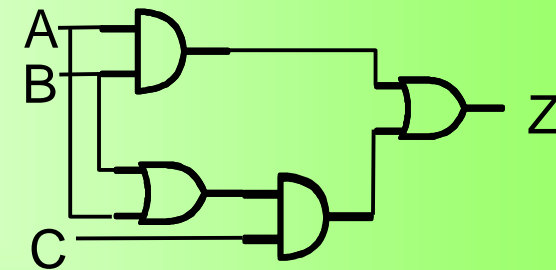


4 compuertas

2 CIs

1 CI AND 2i

1 CI OR 3i



4 compuertas

2 CIs

1 CI AND 2i

1 CI OR 2i

### Versión #3

# Conclusiones

- Cualquier circuito lógico puede implementarse con una combinación de AND, OR e INV o solamente con **NAND** o **NOR**
- **Ventajas de la universalidad NAND/NOR**
  - Uso de CIs iguales → retardos iguales
  - Menor costo por reducción de cantidad de CIs
  - Posibilidad de resolver todo con un solo empaque / tipo
  - Mayor velocidad
- **Minimización:** obtener menos términos y/o términos con menos variables
  - Reducir el Número de compuertas
  - Reducir el Número de entradas de cada compuerta
    - Reducción de costo
    - Mayor velocidad de procesamiento
    - Métodos de minimización



**FIN**